



**VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ**

BRNO UNIVERSITY OF TECHNOLOGY

**FAKULTA ELEKTROTECHNIKY  
A KOMUNIKAČNÍCH TECHNOLOGIÍ**

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

**ÚSTAV MIKROELEKTRONIKY**

DEPARTMENT OF MICROELECTRONICS

**NOVÁ HYBRIDNÍ JEDNOVODIČOVÁ SBĚRNICE PRO  
MIKROELEKTRONICKÉ SYSTÉMY**

NOVEL HYBRID ONE-WIRE BUS FOR MICROELECTRONIC SYSTEMS

**DIZERTAČNÍ PRÁCE**

DOCTORAL THESIS

**AUTOR PRÁCE**

AUTHOR

**Ing. Vladimír Levek**

**ŠKOLITEL**

SUPERVISOR

**doc. Ing. Pavel Šteffan, Ph.D.**

**BRNO 2018**

## **ABSTRAKT**

Práce je zaměřena na výzkum a vývoj nové hybridní jednovodičové sběrnice se speciálním užitím umožňující mikroelektronickou integraci. Sběrnice, její fyzická vrstva a její protokol byly vyvinuty na základě aplikovaného výzkumu za účelem splnění komplexních požadavků nové skupiny aplikací. Tyto požadavky jsou kladeny především na robustnost sběrnice a její odolnost proti rušení a práci v reálných provozních podmínkách. Součástí práce je popis stávajících řešení jednovodičových sběrnic, vymezení se vůči těmto řešením a stanovení cílů pro výzkum nové sběrnice. Dále je proveden návrh protokolu a provozních parametrů sběrnice pracující v nízkopříkonovém i ve výkonovém režimu. V závěru se práce zabývá praktickým ověřením navrženého řešení a je zde rovněž naznačena perspektiva navazujícího výzkumu v této oblasti.

## **KLÍČOVÁ SLOVA**

Sběrnice, nízkopříkonový režim, výkonový režim, komunikační protokol, fyzická vrstva, proudový komparátor, upínač sběrnice, mikroelektronický návrh.

## **ABSTRACT**

The thesis is focused on the research and development of a new hybrid one-wire bus with special use enabling microelectronic integration. The bus, its physical layer and protocol have been developed based on applied research to meet the complex requirements of a new application group. These requirements are especially laid on the bus robustness and its immunity to interference and to work under real operating conditions. Part of the thesis is a description of existing solutions of one-wire buses, definition of current solutions and setting of goals for research of the new bus. Further are made the design of protocol and operating parameters of the bus operating in low power and power mode. In conclusion, the thesis deals with the practical verification of the proposed solution and there is also suggested a perspective of follow-up research in this area.

## **KEY WORDS**

Bus, low-power mode, power mode, communication protocol, physical layer, current comparator, bus holder, microelectronic design.

## **BIBLIOGRAFICKÁ CITACE**

LEVEK, V. *Nová hybridní jednovodičová sběrnice pro mikroelektronické systémy*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2019. 161 s. Vedoucí dizertační práce doc. Ing. Pavel Šteffan, Ph.D..

## **PROHLÁŠENÍ**

Prohlašuji, že jsem disertační práci na téma „Nová hybridní jednovodičová sběrnice pro mikroelektronické systémy“ vypracoval samostatně pod vedením školitele doc. Ing. Pavla Šteffana, Ph.D. s použitím literatury uvedené v kapitole „Seznam použité literatury“.

Brno 19. 12. 2018

---

Vladimír Levek

## **PODĚKOVÁNÍ**

Chtěl bych zde poděkovat všem, kteří mi byli nápomocni k realizaci této práce. Především mému školiteli doc. Ing. Pavlovi Šteffanovi, Ph.D. za účinné rady a metodické vedení po celou dobu tvorby této práce. Mé poděkování patří také ostatním kolegům z Ústavu mikroelektroniky, kteří neváhali přispět odbornou konzultací či diskusí nad daným tématem. Dále bych rád poděkoval své manželce Marcele a dcerám Lucii a Magdaléně, za vytváření ideálních podmínek pro náročné doktorské studium a také za velkou trpělivost spojenou s tvorbou předložené disertační práce.

## PODĚKOVÁNÍ

Výzkum popsáný v této doktorské práci byl realizován v laboratořích podpořených z projektu SIX; registrační číslo CZ.1.05/2.1.00/03.0072, operační program Výzkum a vývoj pro inovace.

Brno 19. 12. 2018

---

Vladimír Levek

# Obsah

<b>1</b>	<b>Úvod .....</b>	<b>6</b>
<b>2</b>	<b>Současný stav a vymezení oblasti disertace.....</b>	<b>8</b>
2.1	Rozdělení sběrnic .....	9
2.2	Parametry sběrnic.....	11
2.3	Rušení signálu na vedení.....	12
2.3.1	Rušení galvanickou vazbou .....	13
2.3.2	Rušení indukční a kapacitní vazbou.....	15
2.4	Typy sběrnic z hlediska odolnosti proti rušení .....	18
2.4.1	Nesymetrická vedení.....	18
2.4.2	Symetrická vedení.....	19
2.4.3	Vedení napěťového charakteru .....	20
2.4.4	Vedení proudového charakteru .....	21
2.5	Elektrické parametry vedení .....	22
2.5.1	Nehomogenní vedení .....	23
2.5.2	Kroucený pár.....	25
2.5.3	Koaxiální vedení .....	25
2.6	Porovnání stávajících sběrnic.....	26
2.7	Specifikace cílů disertační práce .....	38
<b>3</b>	<b>Princip funkce nové hybridní sběrnice .....</b>	<b>40</b>
3.1	Komunikační rámec .....	42
3.1.1	Datové záhlaví .....	43
3.1.2	Datový přenos .....	46
3.2	Komunikační prodleva .....	47
3.3	Přenos jednoho bitu – bitový blok .....	49
3.3.1	Informační blok.....	52
3.3.2	Napájecí blok .....	57
<b>4</b>	<b>Návrh hybridní sběrnice .....</b>	<b>58</b>
4.1	Obvodové principy použité v budiči sběrnice.....	58
4.1.1	Elektrické parametry kapacitoru .....	58
4.1.2	Detektor maxima.....	66
4.1.3	Proudový komparátor.....	76

4.1.4	Řízený upínač sběrnice .....	81
4.1.5	Technologická a návrhová chyba proudových zdrojů .....	90
4.2	Návrh nízkopříkonové hybridní sběrnice .....	97
4.2.1	Způsob řízení vedoucí ke snížení odběru.....	97
4.2.2	Popis soustavy komunikující v nízkopříkonovém režimu .....	101
4.2.3	Kvantitativní popis provozních stavů sběrnice .....	106
4.2.4	Vyjádření časových průběhů na sběrnici .....	116
4.2.5	Energie spotřebovaná při komunikaci.....	123
4.2.6	Zvýšení efektivity provozu hybridní sběrnice .....	126
4.3	Návrh výkonové hybridní sběrnice .....	130
4.3.1	Mikroelektronický návrh budičů sběrnice .....	132
4.3.2	Diskrétní návrh budičů sběrnice .....	139
4.4	Ověření provozních parametrů hybridní sběrnice .....	143
4.4.1	Nízkopříkonová hybridní sběrnice.....	143
4.4.2	Výkonová hybridní sběrnice .....	146
<b>5</b>	<b>Závěr .....</b>	<b>151</b>
	<b>Seznam použité literatury.....</b>	<b>154</b>
	<b>Seznam použitých zkratk.....</b>	<b>158</b>
	<b>Seznam použitých symbolů .....</b>	<b>160</b>

# 1 Úvod

Snadný přístup k informacím je požadavkem dnešní doby. A tento fenomén, díky masovému využívání, posouvá význam definice slova „informace“ na „cokoliv“ a pojem „snadný přístup“ na „jakkoliv“. Dokonce ve velké míře jsme zahrnováni informacemi, o které nestojíme, popřípadě jež jsme si nevyžádali. Informace, jež jsou nám předkládány, jsou často opatřeny balastem, dezinformacemi, popřípadě tendenčními názory. Tato aditiva mnohonásobně zvyšují objem dat, a i přesto jsou schopna téměř okamžitě doputovat k příjemci – ať jako vyžádaná, nebo nevyžádaná. Moderní technologie dokáže díky enormnímu tempu vývoje přijmout jakoukoliv informaci, zpracovat ji a přenést kamkoliv. Snadná a (pro uživatele) nenáročná distribuce informace, vyvolává nutnost uspokojit „informační hlad“ lidstva, nejprve pouze u masmédií, v současnosti téměř u každého z nás.

Za tento trend zodpovídají snadno dosažitelné prostředky přenosu informace. Prostředky distribuce či jejich technologie se změnily, zatímco lidská touha po poznání, vědění, nových zprávách – přízemně zvaná „zvědavost“, je vůči plynutí času víceméně konstantní. Jak rádi by v Athénách v 7. století př. Kr. vyslechli místní obyvatelé od posla jménem Feidippidés (fyzická vrstva) více informací, než „Zvítězili jsme“ (1 bit), kterou jim příběhl sdělit po trase (sběrnice) měřící 42 km (přenosová rychlost 0,3 bit/hod), načež skončil (přetížení, kolize, nepřizpůsobení zakončení sběrnice...). Vhodnější prostředky nebyly.

Nyní máme k dispozici stovky způsobů sloužících k výše uvedeným cílům, Informace jsme schopni rozesílat prostřednictvím toku elektronů nebo elektromagnetického záření na velmi krátké i velmi dlouhé vzdálenosti. Jsme schopni distribuovat informaci s nejvyšším stupněm ochrany před zneužitím, před poškozením. Posíláme velké objemy dat i kusé informace – všechny poměrně rychle, efektivně a bez obavy před poškozením, zneužitím či zmodifikováním. A v této době plné nepřeborného množství způsobů přenosu, kdy lze cokoliv přenést kdekoliv a v podstatě jakkoliv, vznikla nová sběrnice, která je předmětem této práce.

Nová hybridní jednovodičová sběrnice vznikla jako výsledek aplikovaného výzkumu v souvislosti s konkrétním projektem. Řešení projektu, na kterém jsem se podílel, vyžadovalo vzájemnou interakci dvou navzájem komunikujících zařízení, z nichž jedno bylo energeticky závislé na druhém. Požadavky kladené na provoz byly poměrně přísné (miniaturizace, nízká spotřeba, velká přenosová rychlost, možnost spínání velkých zátěží...) a jejich průniku nevyhovoval žádný dosud známý komunikační protokol či sběrnice.

Hybridní sběrnice, coby výsledek této výzkumné práce si neklade za cíl pouze splnění konkrétního zadání, ale její možnosti ji předurčují pro možné širší využití – a to hlavně jejího primárního principu: Napájet podřízený externí prvek s možností vzájemné komunikace jedním vodičem. Obě činnosti s vysokou efektivitou a s poměrně velkými schopnostmi. Pro možnost plnění obou úkolů (dodávka energie a vzájemná komunikace) pomocí jednoho vodiče, je sběrnice označena jako: „*jednovodičová hybridní*“. Její ekvivalent: *One Wire* (označovaná někdy také: *1-Wire*, *Dallas*) sběrnice dokáže přenášet informaci a parazitně napájet malým proudem připojené komunikační zařízení. Nicméně přenosová rychlost a napájecí schopnosti jsou výrazně nižší.

Vyvinutá nová jednovodičová hybridní sběrnice je v době tvorby disertační práce realizována a ověřena přibližně v tisíci výrobcích. Její provoz je detailně ověřen cyklickými testy, jejichž množství se pohybuje okolo milionu interakcí. Uvedená zařízení byla dále podrobena testům odolnosti před elektrostatickými výboji, elektromagnetickým rušením, simulačním testům stárnutím v solné mlze aj. a ve všech případech vykazovalo odolnost. Lze předpokládat, že hybridní sběrnice (a také její fyzická realizace) je tedy robustní a efektivní.

V disertační práci je nejprve proveden úvodní rozbor a jsou označeny klíčové body problematiky přenosu. Jsou zdůrazněny způsoby distribuce signálu v obecné rovině a je rovněž vypracována rešerše stávajících řešení v konkrétní podobě. Dále jsou stanoveny cíle této práce. Následně je rozebrán protokol navrhované sběrnice, jsou diskutovány jednotlivé komunikační bloky a jejich celkové propojení. Součástí textu je popis obvodových principů vhodných pro některé části návrhu fyzické vrstvy sběrnice. Tyto jsou rozebrány a popsány jak z kvalitativního, tak z kvantitativního hlediska. Poté je předložen návrh sběrnice vhodný pro použití v nízkopříkonovém provozu a také ve výkonovém režimu. Návrh je opatřen výpočty – statickými i dynamickými a předložená teorie je podložena měřeními a testy, popsány v samostatné kapitole.

Návrhy budičů sběrnice jsou tvořeny na podkladech mikroelektronické technologie a mohou být použity jako výchozí podklady pro návrh mikroelektronických funkčních bloků. Veškeré návrhové požadavky budou kladeny tak, aby byla možná realizace budičů fyzické vrstvy mikroelektronickou technologií a tyto budiče mohly být integrovány do autonomních modulů.



## 2 Současný stav a vymezení oblasti disertace

Byť v současnosti existují širší možnosti distribuce signálu, jsou v další části práce uvažována výhradně metalická vedení. Jedná se historicky o první druh komunikačního vedení, který byl až po dlouhé době používání do jisté míry nahrazen bezdrátovou technologií a posléze optickými spoji. Všechny uvedené druhy přenosu signálu mají v nynějším světě komunikačních technologií svá zastoupení a v podstatě si nekonkurují. Optické spoje jsou využívány pro velmi rychlou komunikaci a velmi velký objem dat na dlouhé vzdálenosti, metalická vedení nedosahují stejných výsledků, nicméně z ekonomického hlediska jsou zajímavější pro přenosy dat na kratších úsecích. Bezdrátové technologie jsou nezastupitelné z hlediska mobility a také přenosu dat na extrémně dlouhých úsecích. Při jejich provozu odpadá nutnost budování přenosového kanálu, což bývá často položka nejnákladnější.

Ve všech druzích přenosových médií se využívá přenosu signálu pomocí elektromagnetické vlny. Ta je parametrizována kmitočtem a vlnovou délkou.

$$\lambda = \frac{c}{f}. \quad (1)$$

Pro volný prostor platí rychlost šíření světla  $c = 299\,792\,458\text{ ms}^{-1}$ . Vlnová délka je tedy dána poměrem rychlosti světla ku frekvenci signálu. Elektromagnetická vlna se může šířit různým prostředím, ovšem ne každé prostředí je vhodné pro přenos na konkrétním kmitočtu, nicméně modulací signálu lze dosáhnout potřebné optimalizace. Každé prostředí (popřípadě přenosová technologie), do určité míry omezuje šíření signálu. Proto je rychlost šíření obvykle nižší (činitel zkrácení  $\lambda/\lambda_0$ ), než uvádí obecný vztah (1) [2].

**Tabulka 1:** Rozdělení telekomunikačního spektra na pásma [1]

Pásmo	Symbol	Rozsah kmitočtů	Názvy pásma	Metrické zkratky
4	VLF	3 až 30 kHz	myriametrové	Mam
5	LF	30 až 300 kHz	kilometrové	km
6	MF	300 až 3000 kHz	hektometrové	hm
7	HF	3 až 30 MHz	dekametrové	dm
8	VHF	30 až 300 MHz	metrové	m
9	UHF	300 až 3000 MHz	decimetrové	dm
10	SHF	3 až 30 GHz	centimetrové	cm
11	EHF	30 až 300 GHz	milimetrové	mm
12	---	300 až 3000 GHz	decimilimetrové	---

Tabulka číslo 1 reprezentuje dělení telekomunikačního spektra dle platné národní legislativy. Metalická vedení se podílejí na přenosu signálu v pásmech 4 až 8, ve speciálních případech zasahují i do pásma 9. Můžeme tedy hovořit o přenosech dat s minimální vlnovou délkou v řádu metrů (částečně i decimetrů). Velkou výhodou metalických datových kanálů je poměrně široké přenosové pásmo. Odpadá tedy nutnost modulace signálu nosnou frekvencí, která by byla optimální pro dané přenosové médium. Zatímco optické spoje jsou schopny přenášet signál ve velmi úzkém spektru – řádů stovek nanometrů, bezdrátové spoje využívají prakticky celé telekomunikační spektrum, které ovšem nelze libovolně využívat jedním zařízením v celém rozsahu. Bezdrátová technologie umožňuje přenášet informaci v několika desítkách pásem, která jsou velmi úzká a z principu se nepřekrývají.

Distribuce signálu prostřednictvím metalického vedení přináší velkou variabilitu a širokou škálu možností v poměrně rozsáhlém komunikačním spektru. Velkou výhodou tohoto přenosu signálu je jeho snadná obsluha a realizace. Nevýhodou metalických vedení je neustále stoupající cena elektrovodného kovu (Cu, Al), jako nerostné suroviny. Spolu s cenou vedení a schopností přenést menší objem dat na jedné straně, ale jednoduchostí řízení přenosu signálu, jsou metalická vedení předurčena pro lokální potřeby a přenosy signálu spíše interní povahy. Pro přenos napájecí energie jsou metalická vedení zásadní a v současné době nenahraditelná.

## 2.1 Rozdělení sběrnic

Sběrnice se dělí dle velkého množství kritérií, z nichž každé interpretuje určitou část okruhu kladených požadavků. Jelikož téměř každý z konkrétních požadavků snižuje uplatnění jiného požadavku, existuje různých sběrnic velké množství a není možné tedy v obecné rovině hovořit o nejvhodnější z nich. Lze bez nadsázky konstatovat, že každý upřednostňovaný požadavek cílící na konkrétní parametr sběrnice má svého „favorita“. Ten ovšem řeší ostatní kritéria pouze kompromisním způsobem. Pro výběr vhodné sběrnice je vhodným řešením stanovení si hierarchie požadavků kladených na její provoz. Jsou to především:

- přenosový výkon,
- přenosová rychlost,
- distribuční vzdálenost,
- uplatnění vlivu prostředí, zaružitelnost,
- bezpečnost přenosu dat,
- schopnost opravy chybového přenosu,

- náklady na provoz sběrnice....

Pro realizaci všech výše uvedených parametrů neexistuje žádné optimální řešení. V praxi většinou nepožadujeme splnění všech požadavků v nejvyšší míře, a proto existuje velké množství sběrnic, které mohou s určitou efektivitou uspokojit požadovanou potřebu.

Sběrnice můžeme dělit z hlediska následujících kritérií:

- Podle druhu signálu:
  - analogové,
  - digitální.
- Podle druhu distribuce informace:
  - sériové,
  - paralelní.
- Podle způsobu datové synchronizace:
  - synchronní,
  - asynchronní.
- Podle interpretace stavu signálu:
  - napěťové,
  - proudové.
- Podle způsobu přenosu ve vedení:
  - symetrické – diferenciální,
  - asymetrické.
- Podle přenosového média:
  - elektrické – metalická vedení,
  - světelné – optická vedení,
  - elektromagnetické vlny – bezdrátová vedení.
- Podle délky vedení:
  - malé vzdálenosti – lokální, uvnitř zařízení,
  - střední vzdálenosti – jednotky až stovky metrů,
  - velké vzdálenosti – řádově kilometry a výše.
- Podle odolnosti před vnějšími vlivy:
  - bez odolnosti – lokální,
  - průmyslové – ochrana především ve fyzické vrstvě,
  - dálkové – ochrana zabezpečujícím kódováním.

- Podle přenosové rychlosti:
  - pomalé, ovládání mechanických kontaktů řádově desítky b/s,
  - středně rychlé – jednotky Mb/s,
  - extrémně rychlé –v řádech Gb/s.

Ve výčtu rozdělení sběrnic lze dále pokračovat. Dělí se dále z hlediska nákladů na její výstavbu, z hlediska provozních nároků, z hlediska protokolu sběrnice (některé jsou definovány pouze fyzickou vrstvou, některé mají kompletní protokol řešící všechny stavy a aspekty jejího provozu). Ne všechna kritéria jsou pro danou oblast důležitá, a ne všechna kritéria se dotýkají oblasti řešené v této práci, proto budou následně popsány pouze klíčové parametry sběrnic [3][4][5][6].

## 2.2 Parametry sběrnic

Abychom mohli jednotlivé sběrnice mezi sebou kvalitativně porovnávat, je nezbytné specifikovat některé parametry z kvantitativního hlediska. Základní veličinou je elementární **jednotka informace**, která se v digitální technice interpretuje dvěma možnými logickými stavy:

- nízká úroveň – logická 0 / log0 (anglicky L – low),
- vysoká úroveň – logická 1 / log1 (anglicky H – high).

**Šířka přenosového kanálu** udává počet přenesených jednotek informace současně. V sériových sběrnicích můžeme používat i vícestavové modulace jako jsou například:

- kvadrurní amplitudová modulace QAM,
- ortogonální multiplex s frekvenčním dělením OFDM [4] ...

Pomocí uvedených modulací lze po sběrnici distribuovat i vícestavové informace, proto šířka přenosového kanálu v sériové sběrnici může nabývat počtu většího než jedna. V případě dvoustavového přenosu informace, má šířka přenosového kanálu velikost jedna.

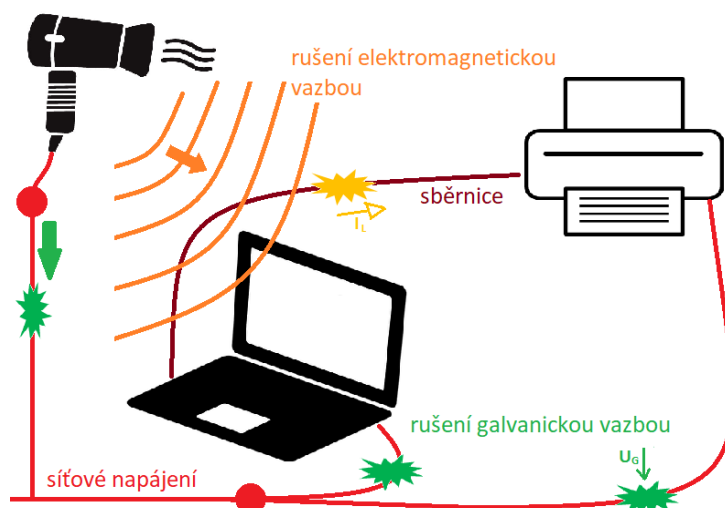
**Modulační rychlost** udává počet přenesených symbolů za jednotku času. Její jednotkou je 1 Bd (Baud). Tato jednotka je pojmenována po francouzském inženýru a vynálezci Jean Maurice Emile Baudotovi (1845–1903). Pro sériovou dvoustavovou sběrnici platí, že pokud jednotka informace (symbolu) má velikost 1 bit, její přenosová rychlost je rovna přenosové rychlosti.

**Přenosová rychlost** se vyjadřuje počtem bitů přenesených za jednu sekundu, z toho je odvozena jednotka 1 b/s. Vzhledem k faktu, že nejčastěji jsou provozovány právě dvoustavové sériové sběrnice, se vžil poměrně matoucí úzus, že přenosová rychlost se udává v baudech. Jakmile se začneme zabývat kvantifikací vícecestavových sériových sběrnic, nebo paralelními přenosy, musí se tento omyl vyloučit, jinak se dobereme falešných interpretací.

**Přenosový výkon.** Pro vysvětlení tohoto pojmu je nutné nejprve zmínit, že přenos dat po sériové sběrnici většinou vyžaduje přenos i jistých režijních či obslužných dat, která jsou nezbytná pro synchronizaci a řízení provozu mezi zdrojem a příjemcem dat. Jedná se zejména o informace adresující příjímající i vysílací stranu, informace o množství přenesených dat, zabezpečující kódy, informace umožňující směrování dat atp. Všechny údaje podobného charakteru nenesou skutečnou informaci pro příjemce, jsou jakousi redundancí nezbytnou k provozu sběrnice. Ne všechny sběrnice mají poměr informačních a režijních (provozních) dat stejný. Obecně platí: Čím více sofistikovaný protokol řízení, tím je potřeba většího množství režijních dat. Přenosový výkon udává počet přenesených bitů nesoucích informaci (ne režijních) za sekundu. Jeho jednotka je opět 1 b/s. Přenosový výkon je oproti přenosové rychlosti tedy tím nižší, čím má provoz sběrnice vyšší množství režijních dat [7][8].

## 2.3 Rušení signálu na vedení

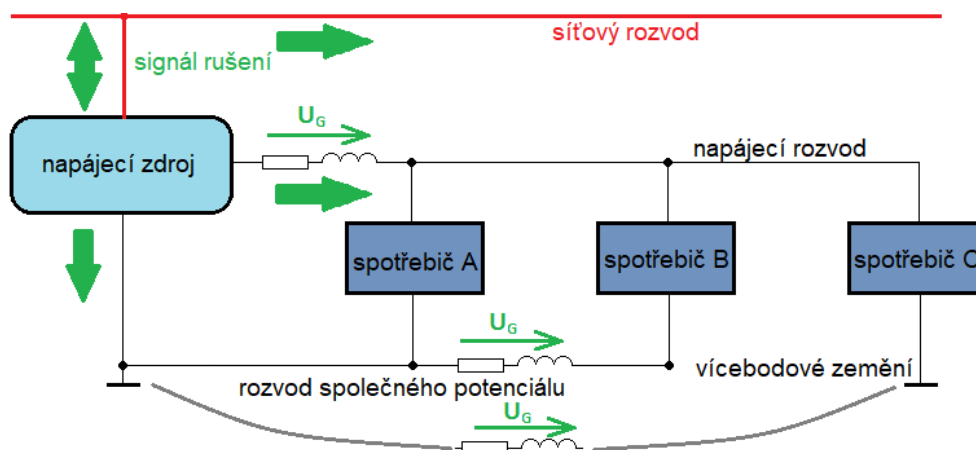
Signál způsobující rušení je šířen vyzařováním (prostřednictvím elektromagnetického pole) nebo vedením (prostřednictvím galvanické, induktivní nebo kapacitní vazby). Zdroj rušivého signálu může mít původ v přírodních jevech, nebo může být vedlejším produktem průmyslové výroby. V každém případě se jedná o nechtěný signál, který může snížit, popřípadě znemožnit datový přenos. V krajních případech může poškodit celé přenosové zařízení. Vlivy zdrojů rušení jsou znázorněny na obrázku 1.



**Obrázek 1:** Zobrazení zdrojů rušení a způsob jeho šíření

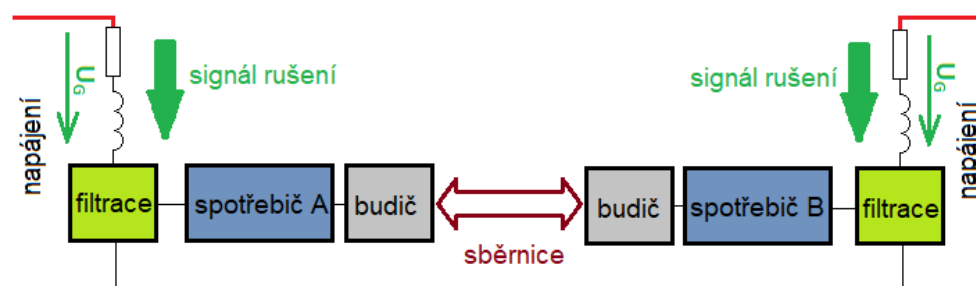
### 2.3.1 Rušení galvanickou vazbou

Rušivý signál šířený **galvanickou vazbou** (sériový RL obvod) se distribuuje do systému především prostřednictvím napájecího vedení nebo společným (zemním) vodičem sběrnic. Klíčovou ochranu proti tomuto rušení poskytuje zesílené společné zemní vedení, popřípadě jednobodové zemnění. Rušení šířené napájecím vedením lze eliminovat užitím filtrace napájení. Pro napájení systémů je většinou použito stejnosměrného napětí, eliminaci nestejnosměrné složky lze tedy realizovat filtrem typu dolní propust o nízké mezní frekvenci. Většina signálů rušení má tvar ostrých píků, které generují široké spektrum signálu, byť krátkodobého, nicméně s velkou amplitudou. I když rušivý signál poměrně rychle odezní, může vyvolat chybu přenosu, pokud není dostatečně omezen jeho průnik do obvodu vstupní části sběrnice. Jelikož je šířen galvanickou vazbou, mohou být nežádoucí dopady na systém větší (díky vyššímu přenosu) než v případě elektromagnetické vazby. Přenesený rušivý parazitní výkon může být mnohem větší při šíření vodičem nežli při šíření prostředím [9][10].



**Obrázek 2:** Možné způsoby šíření rušení galvanickou vazbou

Obrázek 2 zachycuje možná místa vzniku i distribuce rušivého signálu galvanickou cestou. Napájecí zdroj může sám o sobě generovat rušivý signál, anebo může přijatý rušivý signál transponovat na svůj výstup. Jakmile se podcení vliv tohoto signálu zanedbáním vhodné filtrace, je poměrně nesnadné jeho odstranění v dalších částech obvodu. Tam se z principu mění napěťové úrovně i jejich četnost (tranzientní stavy), čímž se rozšiřuje spektrum užitečného signálu. V jiné, než napájecí oblasti se mnohem hůře separují, pomocí vhodné filtrace, rušivý a užitečný signál.



**Obrázek 3:** Přenosová soustava s optimálně řešenou eliminací rušení galvanickou vazbou

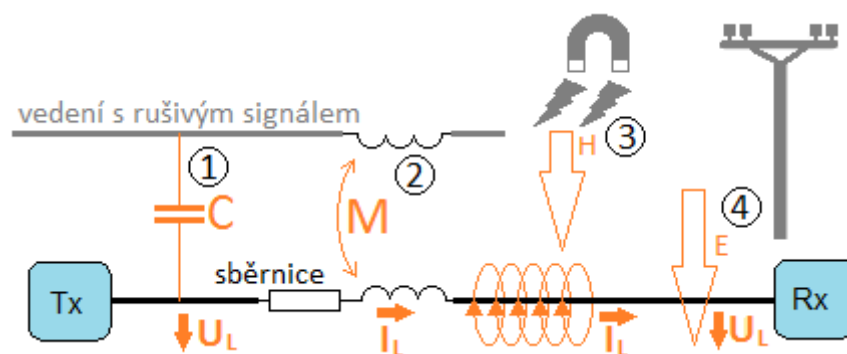
Ideální situace nastane odstraněním vlivu rušení prostřednictvím galvanické cesty, jak je znázorněno na obrázku 3. Každý z modulů je zbaven rušivého vlivu, a navíc moduly spolu komunikují po symetrické sběrnici, jež nevyužívá společný vodič – viz kapitola 2.3.2. Datový přenos zde může být ovlivněn jinými vazbami, popsány dále, nicméně problém rušivého signálu prostřednictvím rozvodné sítě – střídavé i stejnosměrné by tímto způsobem mohl být eliminován.

Jelikož síťové napájení pracuje na velmi nízkém kmitočtu, popřípadě stejnosměrné napětí neobsahuje žádnou střídavou složku, je návrh vhodného filtru vcelku jednoduchý. Používají se standardní filtry typu LC články, bifilárně vinuté tlumivky, oddělovací transformátory, feritové

filtry, odrušovací kapacitory, ap. Pomocí uvedených filtrů lze zabránit průniku rušivého signálu do obvodu, a naopak zamezit šíření vlastního rušení (spínané zdroje, klopné obvody, spínání zátěže...) do rozvodné napájecí soustavy uvnitř i vně navrhovaného systému [9][11][12][10].

### 2.3.2 Rušení indukční a kapacitní vazbou

Rušivý signál pronikající uvedenými vazbami může postihnout všechny části elektrického systému, ne pouze signálová vedení. Každý spoj, i ten nepatrný, tvoří anténu, popřípadě elektrodu kapacitní vazby. Tyto mohou v případě vysokého rušivého signálu nebo v případě nízké odolnosti přijmout velké množství energie, způsobující mimoprovazní podmínky, popřípadě chybu přenosu atp.



**Obrázek 4:** Interference užitečného signálu elektromagnetickým a elektrostatickým polem

**Indukční vazba** (na obrázku 4, číslo 2 a 3) vzniká průchodem proudu vodičem, čímž je generován magnetický indukční tok, působící na vlastní vodič i na jeho okolí. Při časové změně směru indukčního toku lze u cizího, vhodně umístěného vodiče vygenerovat změnu napětí. Tento jev známý jako: „vzájemná indukčnost“ se projevuje buďto jako žádoucí (transformátory, induktory – samoindukce, motory...), nebo jako nežádoucí (rušení elektromagnetickou vazbou, přeslechy ...).

Magnetický indukční tok vzniká průchodem proudu uzavřenou smyčkou a je dán vztahem:

$$\Phi = LI. \quad (2)$$

Ovšem pouze jeho časová změna je schopna vyvolat změnu napětí na vodiči, která je dána:

$$u = \frac{d\Phi}{dt} = L \frac{di}{dt}. \quad (3)$$



Ze vztahu vyplývá: Čím větší je časová změna proudu ( $di/dt$ ), tím je větší okamžitá hodnota napětí na vodiči. Indukčnost  $L$  lze považovat za konstantu, která je dána konstrukčními, vlastnostmi daného vodiče. Určení vzájemné polohy navzájem se ovlivňujících vodičů u nehomogenního vedení není snadné. Pokud je poloha vodičů pevně zakotvena a prostředí je homogenní lze vzájemnou indukčnost vypočítat. U nehomogenních vedení lze tento faktor empiricky odhadnout (nebo lze počítat s nejhorším vlivem) a stanovit velikost změny napětí na ovlivněném vodiči. Velikost vzájemné indukčnosti (vodičů A–B) popisuje lineární konstanta úměrnosti  $M$  o jednotce [H], která vyjadřuje, jak velká porce indukčního toku generovaná zdrojem A, ovlivní vodič B. Platí vztah:

$$\Phi_A = L_A i_A \rightarrow \Phi_B = M i_A = L_B i_B. \quad (4)$$

Velikost superponovaného napětí na „ovlivněném“ vodiči je dána vztahem:

$$u_B = \frac{d\Phi_B}{dt} = M \frac{di_A}{dt}. \quad (5)$$

Velmi často potřebujeme vyjádřit rušivý proud přičtený k užitečnému proudu prostřednictvím elektromagnetické vazby. Ze vztorce (5) můžeme určit jeho velikost:

$$M i_A = L_B i_B \rightarrow i_B = \frac{M}{L_B} i_A. \quad (6)$$

Vztah (4) a zejména (5) ukazuje, že velikost rušivého účinku je tím silnější, čím je strmější proudový impuls  $di/dt$  a také čím je konstanta vzájemné vazby vyšší. Strmost rušivých pulsů nelze primárně na straně přijímače (B) ovlivnit, tedy pokud je zařízení samo negeneruje. Ovšem vzájemnou vazbu ovlivnit lze, a to zejména použitím následujících opatření:

- Velká vzdálenost od potenciálního zdroje rušení,
- snížení velikosti proudové smyčky rušeného obvodu,
- použití koaxiálních či kroucených vodičů pro datový přenos.

Výše uvedené zásady jsou klíčové pro ochranu před vlivy EMI (*Electro Magnetic Interference*) a spolu s ostatními opatřeními tvoří komplex ochrany před vnějšími rušivými vlivy. Další opatření eliminující vliv rušení jsou popsána v následující části kapitoly.

**Kapacitní vazba** (na obrázku 4, čísla 1 a 4) se projevuje především prostřednictvím parazitní kapacity mezi vedením sběrnice a zdroji napětíového rušení, popřípadě zdroji statické elektrické

energie. Mezi vodiči, které nejsou galvanicky spojeny, působí elektrické pole. Jeho intenzita je dána prostředím, ve kterém se vodiče nacházejí, vzájemnou polohou, a množstvím náboje generovaného zdrojem rušení. Mezi potencionální zdroje patří především: přeskupování elektrostatického náboje třením či vzájemným pohybem elektrod, nebo přechodové stavy u soustav s vyšším napětím (souběh nízkonapěťové a vysokonapěťové soustavy). Galvanicky oddělené vodiče v takovém poli mají vzájemnou kapacitu neboli schopnost pojmout elektrický náboj. Kapacita je dána prostředím a vzájemnou polohou.

$$C = \varepsilon \frac{S}{d}. \quad (7)$$

Permitivita  $\varepsilon$  určuje „kvalitu“ prostředí z hlediska vlivu elektrického náboje a parametry  $S/d$  vyznačují vzájemnou styčnou plochu a vzdálenost obou elektrod. Pokud je do takto vymezeného prostředí dodán náboj, pak se úměrně tomu zvyšuje napětí mezi oběma elektrodami. Tato vazba je dána vzorcem:

$$U = \frac{Q}{C}. \quad (8)$$

V případě **elektrostatických zdrojů** rušení (*ESD – Electrostatic Discharge*) napětí mezi elektrodami v optimálních podmínkách (suchý vzduch, vzájemné tření dokonalých izolantů...) může teoreticky narůstat téměř do nekonečna. Tento nárůst ovšem zastaví materiálová vlastnost, která se nazývá elektrická pevnost. Ta určuje, jak velké vzájemné napětí působící v určité vzdálenosti, je schopen kondenzátor ze vztahu (8) udržet. V případě dalšího nárůstu napětí se soustava „prorazí“ (prostředí se stává vodivým – dočasně / trvale) a špičkový proudový výboj se stává generátorem rušení, pronikající kapacitní vazbou.

Další případ rušením prostřednictvím kapacitní vazby jsou **dynamické** přechodové jevy u navzájem rozdílných napěťových soustav. Proudové a napěťové dynamické parametry na kondenzátoru jsou dány:

$$i = C \frac{du}{dt}. \quad (9)$$

Ze vztahu (9) vyplývá, že ustálený stav na kondenzátoru, je provázen nulovým proudem. Pokud je však vystaven přechodovému jevu, pak je schopen do obvodu dodávat proud. Ten je tím větší, čím strmější je napěťová změna.

Opatření ochrany před kapacitní vazbou jsou obdobné jako při ochraně před indukční vazbou, tedy distance od potenciálního zdroje rušení (parametr  $d$  ve vztahu (7) zmenšuje kapacitu), popřípadě ochrana stíněním celého přenosového systému [9][11][13][12].

## 2.4 Typy sběrnic z hlediska odolnosti proti rušení

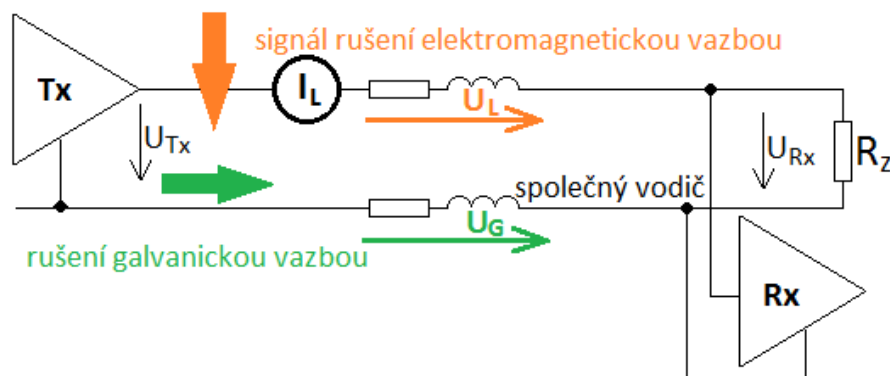
V následující části budou diskutovány problémy rušení působící pouze na přenosová metalická vedení. Opatření uvedená v předchozí kapitole platí obecně, tedy i pro sběrnice. Jejich uplatňováním je možno zásadním způsobem předcházet vlivům rušení – mají preventivní charakter. Dále popsané způsoby ochrany před rušivými účinky mají spíše charakter „ex post“ – tedy eliminují účinky přijatých rušivých signálů. Návrhem sběrnice lze dosáhnout určitého stupně eliminace vlivů rušení. Vzhledem k tomu, že každá sběrnice se vykazuje imaginárními složkami impedance, nelze nikdy úplně tento vliv odstranit, lze jej však spolehlivě potlačit tak, aby jeho přítomnost nezpůsobila chybovost, popřípadě provozní problémy.

### 2.4.1 Nesymetrická vedení

Nejjednodušší typ sběrnice, využívající společný zemní vodič pro přenos dat i pro napájení, se vyznačuje nedostatečnou odolností proti rušivým vlivům. Použití symetrického či nesymetrického vedení však ještě není dostatečnou zárukou odolnosti. Oba druhy vedení mohou být navrženy s různým stupněm odolnosti, nicméně nesymetrická vedení jsou ohrožena dvěma potenciálními zdroji rušení. Jejich účinky se dají robustním návrhem eliminovat, ale nejdou z principu vyloučit. Jedná se o vlivy šíření rušení:

- galvanickou vazbou zemního vodiče,
- elektromagnetickou vazbou ovlivňující signálový vodič.

Ani jeden z vlivů nedokáže sběrnice ignorovat, provozními parametry dokáže však tyto vlivy potlačit. Na obrázku 5 jsou znázorněny vlivy rušení na jednotlivé části sběrnice. Nesymetrická vedení využívají pro datový přenos zemní vodič, který může být dobrým distributorem rušivého signálu. Jednak jím může protékat napájecí proud anebo vyrovnávací proud spojující komunikační bloky na „stejný“ potenciál. Vzhledem k impedančnímu charakteru vedení, nemůže být úplného vyrovnání potenciálu dosaženo.



**Obrázek 5:** Princip nesymetrického vedení

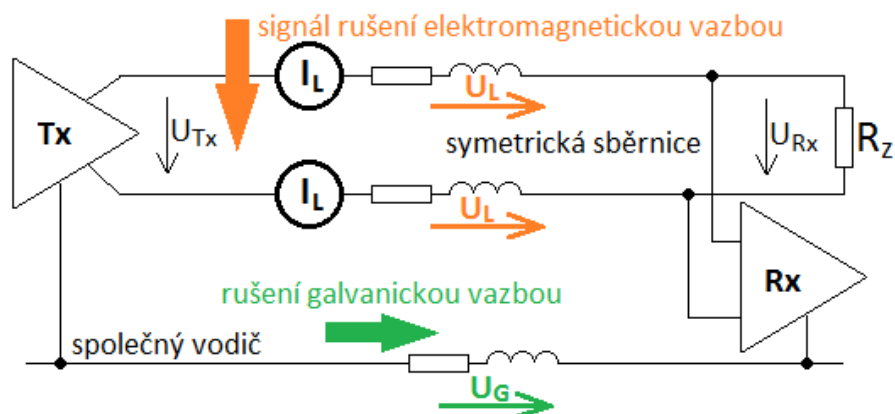
Reálný odpor zemního i signálového vodiče vytváří úbytek působící proti užitečnému signálovému napětí na straně vysílače. Podélná indukčnost pak tento úbytek navyšuje díky rušení šířenému galvanickou vazbou. Nesymetrie vedení způsobí i nesymetrii vlivu rušení elektromagnetickým polem. Případná interference většinou superponuje špičkový proud pouze na signálový vodič, který vlivem podélné indukce vytváří napěťové impulsy, způsobující chybovost datového přenosu [9].

## 2.4.2 Symetrická vedení

Sběrnice, jejíž oba signálové vodiče se podílejí výhradně na distribuci signálu, je z principu mnohem odolnější proti rušení než sběrnice uvedená výše. Z několika důvodů:

- symetrické vedení lze lépe realizovat symetrickým kabelem (kroucený pár, koaxiální kabel...),
- vodiči protéká pouze proud sloužící datovému přenosu, nikoliv napájecí, popřípadě vyrovnávací,
- vliv kapacitního i induktivního rušení se projeví na obou signálových vodičích – působí proti sobě navzájem.

Na obrázku 6 je znázorněno symetrické vedení, kde společný vodič není podmínkou. Protože informace je přenášena pouze vzájemnou napětíovou, popřípadě proudovou úrovní působící mezi oběma vodiči, nemusí být oba komunikující moduly připojeny na stejný potenciál. Klíčovou roli hraje právě velikost napěťové, popřípadě proudové úrovně na komunikačním páru vedení – též nazývaného diferenciální vedení.



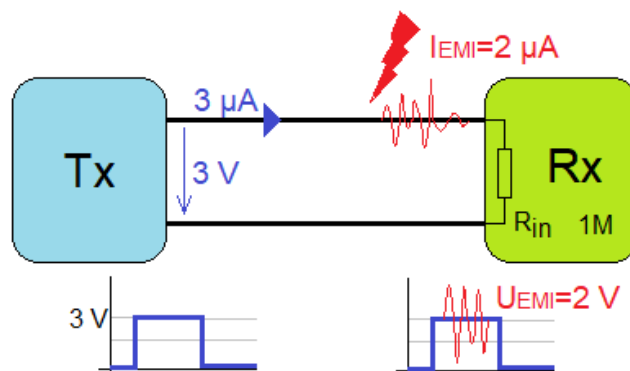
Obrázek 6: Princip symetrického vedení

Z obrázku 6 vyplývá, že případný vliv rušení působící na oba signálové vodiče je na vstupu přijímače v protisměru, je tedy principiálně eliminován. Jelikož nelze zaručit naprostou homogenitu vedení, je nutné zavést další opatření ke zvýšení robustnosti přenosu. V každém případě stejný zdroj rušení působící na symetrickou a nesymetrickou sběrnici vždy vyvolá větší negativní odezvu na vedení nesymetrickém. Symetrické vedení každý typ elektromagnetického rušení z velké části eliminuje. Na obrázku je zachycen společný zemní vodič. Ten může být zdrojem rušivého signálu pronikajícího do systému galvanickou vazbou, nepodílí se však na distribuci informačního toku. Pokud jeho nasazení nevyžaduje speciální požadavek, není tedy nutný pro provoz komunikační soustavy. Přijímač i vysílač mohou být napájeny z různých zdrojů, může mezi nimi být rozdílný potenciál. Ten by ve vhodně navrženém systému komunikujícím prostřednictvím symetrického vedení neměl působit žádné potíže [9].

### 2.4.3 Vedení napěťového charakteru

Název podkapitoly není úplně vypovídající, vedení tohoto typu by lépe vystihoval název: „nezatížené vedení“. Termín: „napěťový charakter“ poukazuje právě na tuto skutečnost. V ideálním případě lze distribuovat informaci pouze změnou napěťové úrovně bez přítomnosti dodávky proudu – tedy bez energetického výdaje. V reálném případě tomu tak není. I v případě sběrnice nezatížené přidanou zátěží (terminátor) vykazuje přenosová soustava kapacitní charakter – vstupy a výstupy komunikujících modulů a také příčnou kapacitu vedení. Při změně stavu sběrnice (změna informace) je potřeba jí dodat potřebné množství náboje. Tento úkol je provázen dodávkou proudu.

Aby sběrnice tohoto typu byla odolná vůči vnějším rušivým vlivům, je potřeba přenášet informaci, jehož napětíová hladina je tak vysoká, že ji neovlivní superponované napětí pocházející ze zdroje rušení.



**Obrázek 7:** Princip nezatíženého vedení napětíového charakteru

Obrázek 7 znázorňuje nezatíženou sběrnici, na jejíž signálový vodič je superponován šum prostřednictvím elektromagnetického rušení. Z parametrů lze vysledovat, že sběrnice není odolná, protože rušivý proud způsobí odchylku výsledného napětí překračující rozhodovací úroveň.

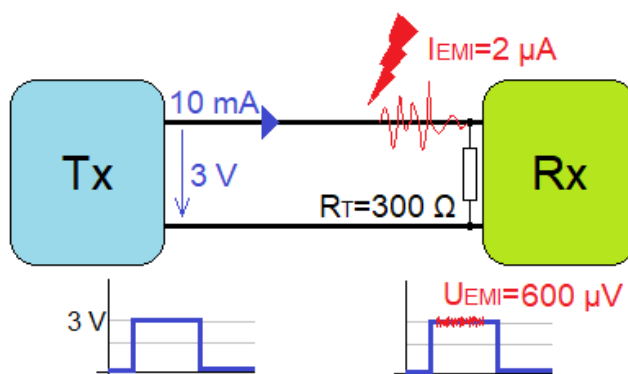
Odolnost nezatížené sběrnice lze posílit zvětšením přenášené úrovně napětí. Pokud bude na stejné sběrnici realizován datový přenos s napětíovou úrovní  $U_{bus} = 10 \text{ V}$ , zvýší se její užitečný proud na  $I_{bus} = 10 \text{ μA}$ . Při rozhodovací úrovni v polovině napětíové úrovně  $U_{THD} = 5 \text{ V}$ , bude odstup signálu od šumu o velikosti 2,5. Sběrnice takto bude chráněna, ale ochrana není příliš robustní [13]. Při zvláštních podmínkách tzv. „worst case“, může nastat přenosová chyba. Zvyšovat napětí není příliš výhodné, protože součástky pro zpracování digitálních přenosů jsou většinou vyráběny pro provozní napětí do velikosti několika málo jednotek voltů. Proto sběrnice tohoto druhu nejsou příliš vhodné pro přenos na delší vzdálenosti (jednotky metrů), popřípadě pro provoz v průmyslových podmínkách. Typickým představitelem tohoto druhu vedení jsou sběrnice RS-232 (dnes již téměř nepoužívaná), I2C, SPI, aj.

#### 2.4.4 Vedení proudového charakteru

I v tomto případě není název příliš výstižný, ale opět je zde zdůrazněn charakter přenosu. Recipročně by se tento termín mohl nahradit výrazem: „zatížená vedení“, což v podstatě vykresluje její podstatu. Přenos informace je realizován průchodem proudu. Tento typ sběrnice je energeticky náročnější, o to více je však odolnější, a to díky většímu odstupu užitečného signálu od šumu. Z hlediska rozhodovací úrovně jednotky informace lze sběrnice dělit:

- přenos informace je prezentován proudovou úrovní (např. proudová smyčka),
- přenos informace je prezentován napěťovou úrovní.

Například proudová smyčka 4/20 mA přenáší  $\log 0$  proudovou úrovní o velikosti 4 mA a  $\log 1$  proudem 20 mA [13]. Oba typy vedení se vyznačují velmi vysokou odolností proti rušení, jak je to znázorněno na obrázku 8.



**Obrázek 8:** Princip zatíženého vedení proudového charakteru

Sběrnice přenáší napěťovou úroveň informace, ta je ovšem díky terminačnímu rezistoru (pomiňme jeho hlavní úkol – zakončení vedení přizpůsobené jeho impedanci) provázena proudovou spotřebou 10 mA. Pokud je sběrnice podrobena vlivu elektromagnetického rušení o velikosti 2  $\mu\text{A}$ , není toto rušení schopno překonat přenášenou proudovou bariéru. Rušení na terminačním rezistoru vygeneruje šumové napětí o velikosti 600  $\mu\text{V}$ , což činí při rozhodovací úrovni  $U_{\text{THD}} = 1,5 \text{ V}$  odstup signálu od rušení o velikosti 2500 [13].

Tato hodnota o mnoho více přesahuje možnosti nezatíženého vedení, proto jsou obecně zatížená vedení odolnější a jsou nasazována pro přenos na dlouhé vzdálenosti do průmyslového prostředí. Délka vedení je ovšem limitována dalšími faktory, jako jsou útlum vedení a impedance, které ovlivňují přenosovou rychlost. Tyto vlastnosti budou diskutovány v následující části textu. Mezi často používané sběrnice tohoto typu patří RS-485, nebo již zmiňovaná proudová smyčka.

## 2.5 Elektrické parametry vedení

Průchodem elektrického proudu metalickým vedením, dále jen vedením, se kolem vodiče vytváří magnetické pole, a v důsledku elektrického napětí na vedení, se kolem náboje vytváří elektrické pole. Vedení má určité mechanické parametry jako jsou: délka, průměr, vzdálenost souběhu, materiál vodiče, materiál izolantu atd. Díky mechanickým vlastnostem, také

magnetickému a elektrickému poli a v neposlední řadě také díky protékajícímu proudu, považujeme za základní parametry vedení tyto veličiny:

- indukčnost  $L$  [H],
- kapacita  $C$  [F],
- odpor  $R$  [ $\Omega$ ],
- svod  $G$  [S].

Tyto veličiny jsou obecné a samostatně nevypovídají mnoho o kvalitě či schopnostech vedení. To je popsáno tzv. primárními parametry, což jsou výše uvedené veličiny vztažené na jednotku délky, tedy:

- měrná indukčnost  $L$  [ $\text{Hm}^{-1}$ ],
- měrná kapacita  $C$  [ $\text{Fm}^{-1}$ ],
- měrný odpor  $R$  [ $\Omega\text{m}^{-1}$ ],
- měrný svod  $G$  [ $\text{Sm}^{-1}$ ].

Pokud je vedení homogenní po celé délce, což je většinový případ, přistupuje se k výpočtům primárních parametrů vedení jako k výpočtu elementárního úseku vedení. Ten je hypoteticky předpokládán jako nekonečně malý úsek z nekonečně mnoha, tvořících celé vedení. Předpokladem pro tuto teorii je skutečnost, že elektromagnetická vlna se šíří konečnou rychlostí, tedy v každém okamžiku se nachází v jiném bodě vedení. Tento nekonečně malý bod v určitém čase představuje prostředí popsané výše uvedenými parametry. Protože elektromagnetická vlna projde postupně všemi body homogenního vedení, lze konstatovat, že jeden nekonečně malý úsek vedení, primárně charakterizuje vedení po celé jeho délce.

Hybridní sběrnice, která je předmětem této práce není určena pro velmi rychlý datový přenos, ani pro přenos na velké vzdálenosti, z toho důvodu zde nebudou dále diskutovány vyšší specifikace vedení jako jsou: sekundární parametry, rozprostřené parametry, útlum a jiné [14][6][39].

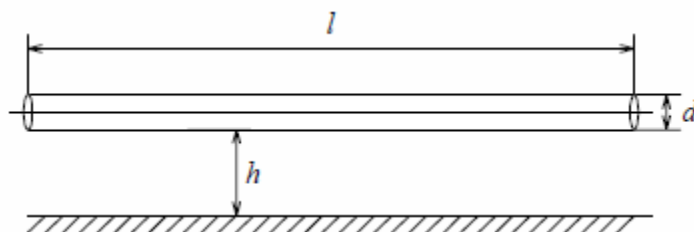
### 2.5.1 Nehomogenní vedení

Vedení nemající stejné konstrukční a materiálové parametry po celé délce, jsou z hlediska šíření signálu, ale hlavně z hlediska impedance nehomogenní. Tento druh signálového spojení není vhodný pro přenos na dlouhé vzdálenosti, jedná se spíše o krátké propojení v případech, kdy není možné (nebo nutné) použít přenosový kabel. V praxi se lze setkat s potřebou



propojení dvou modulů signálovým vodičem (většinou nesymetrické vedení). Pokud je potřeba propojení symetrickou sběrnici i na krátkou vzdálenost, je vhodné použít k tomu vhodný distributor, například kroucený pár. Toto vedení může být prezentováno samostatnými vodiči, nebo vodičem a kovovou konstrukcí. Téměř všechny druhy kabelů je možné považovat za homogenní vedení, ne všechny kabely se však vyznačují homogenními primárními parametry.

Nehomogenní vedení lze jen velmi těžko kvantifikovat, spíše se spoléhá na empirické vyčíslení jeho impedance. Krátká vedení lze často kvalifikovat jako bezztrátová, tedy mající zanedbatelný podélný odpor  $R$  a zanedbatelný svod  $G$ . Mezi ně může patřit nediferenciální provedení signálových spojů na DPS (deska plošných spojů – anglicky PCB *Printed Circuit Board*). Impedance vedení je dána mechanickými vlastnostmi vodiče (délka, průměr), prostředím a vzdáleností od zemního vodiče.



**Obrázek 9:** Vedení pomocí samostatného vodiče a jeho poloha – převzato z [9]

Pro výpočet měrné impedance vedení na obrázku 9 platí [9]:

$$L = 0,46 \log \frac{4h}{d}, \quad (10)$$

$$C = \varepsilon \frac{24}{\log \left( \frac{4h}{d} \right)}, \quad (11)$$

kde  $\varepsilon$  značí permitivitu prostředí, rozměry  $h$  a  $d$  jsou udávány v [m],  $L$  [μH/m] a  $C$  [pF/m]. Impedance bezztrátové vedení je dána vztahem:

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \rightarrow Z = \sqrt{\frac{L}{C}}. \quad (12)$$

$R$  představuje podélný odpor vedení (zanedbatelný),  $G$  příčný svod vedení (zanedbatelný),  $j\omega L$  resp.  $j\omega C$  představuje induktivní resp. kapacitní reaktanci. Jejich frekvenční závislosti se

vzájemně vyruší a tím je odvozen vztah impedance bezeztrátového vedení. Dosazením měrných parametrů vedení (10) a (11) do (12), lze docílit výpočet charakteristické impedance vedení.

$$Z = \frac{0,138}{\sqrt{\epsilon}} \log \left( \frac{4h}{d} \right). \quad (13)$$

Vedení na obrázku má sice homogenní charakter, nicméně nelze zaručit, jeho přesné konstrukční poměry na celém úseku vedení. Z toho důvodu je uvedený vztah pouze přibližný sloužící spíše k vyjádření střední hodnoty charakteristické impedance [9].

## 2.5.2 Kroucený pár

Tento typ vedení je v současné době velmi využíván, například v oblasti rozvodů LAN (*Local Area Network* – lokální síť), tedy v jeho metalické části. Je realizován párovými vodiči, které jsou navzájem zkrouceny – tvoří sérii vzájemných otoček o 180°. Tyto otočky jsou přesně konstrukčně definovány. Vzájemná poloha obou diferenciálních vodičů zaručuje vysokou míru homogenity a otočky s ekvidistantním krokem zajišťují odolnost proti vnějšímu rušení. Superponované rušení působí ke každé následující otočce v opačném směru, tedy ve výsledku je ideálně nulové.

Jeho výhodou je prostorová úspora oproti koaxiálnímu kabelu a cena. Mezi nevýhody patří horší zachování homogenity oproti koaxiálnímu kabelu, Jeho charakteristická impedance je více širokopásmová, vyznačuje se tedy mírně horšími vysokofrekvenčními vlastnostmi. Pro rozvod digitálních sběrnic je však velmi výhodný, neboť digitální úroveň z principu nespojitého přenosu není tak náchylná na chybovost, jako analogový přenos [9].

## 2.5.3 Koaxiální vedení

Použití koaxiálního kabelu spadá do oblasti vysokofrekvenční techniky. Kabel je tvořen dvěma soustřednými vodiči, z nichž jeden tvoří osu kabelu a druhý jej obklopuje. Mezi oběma vodiči je prostředí s definovanou permitivitou. Rovněž vzájemné mechanické vlastnosti obou vodičů jsou přesně definovány. Jeho konstrukce je poměrně složitá a náročná na přesnost, nicméně díky masivnímu nasazení pro přenos vysokofrekvenčního signálu (dříve analogovému, nyní spíše digitálnímu) se cena koaxiálních kabelů pohybuje na nízkých hladinách.

Mezi jeho výhody bezesporu patří vysoká odolnost proti rušení a přesná charakteristická impedance. Odolnost koaxiálního kabelu spočívá v konstrukci – přenáší signál a zároveň tvoří

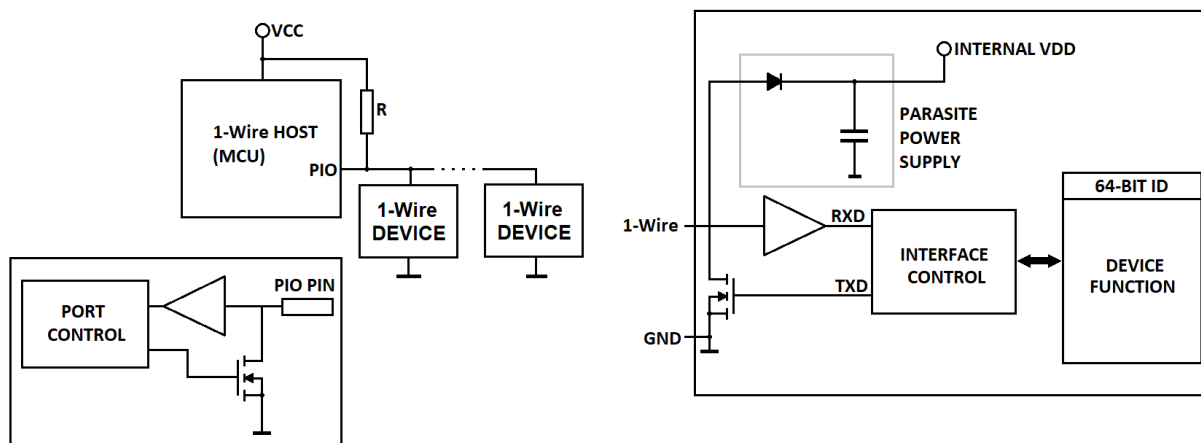
stínění. Jedná se sice o nesymetrické vedení z hlediska buzení kabelu, nicméně vnější vodič tvoří ochranné stínění signálového vodiče. Superponované rušení se může dostat na vnější vodič, ten je však v celém přenosovém řetězci spojen se stíněním a zemněním ostatních modulů, proto se tento druh rušení nedostane na vnitřní signálový vodič [9][6].

## 2.6 Porovnání stávajících sběrnic

V této kapitole nebudou rozebírány všechny používané sběrnice, ale budou zde popsány ty, které se v některých bodech podobají navrhované sběrnici, přičemž bude provedena jejich komparace. Není tedy ambicí provést rešerši všech, pouze vyjmenovat a popsat ty, kterým navrhovaná hybridní sběrnice může do jisté míry alternovat. Dále zde nebudou uvedeny sběrnice s rozsáhlým a precizním protokolem (USB, počítačové protokoly TCP/IP, UDP, síť Ethernet...) umožňujícím správu rozsáhlých průmyslových systémů (*Profibus*, *Fielbus*...), byť některé parametry mohou úzce souviset s navrhovanou sběrnici. Některé z výše uvedených sběrnic navíc nedisponují vlastní fyzickou vrstvou, jsou spíše protokolem nad různými systémy. Budou zde tedy popsány sběrnice s vlastní specifickou fyzickou vrstvou umožňující přenos informace, popřípadě napájení komunikačních modulů tak, aby bylo k dispozici vzájemné srovnání.

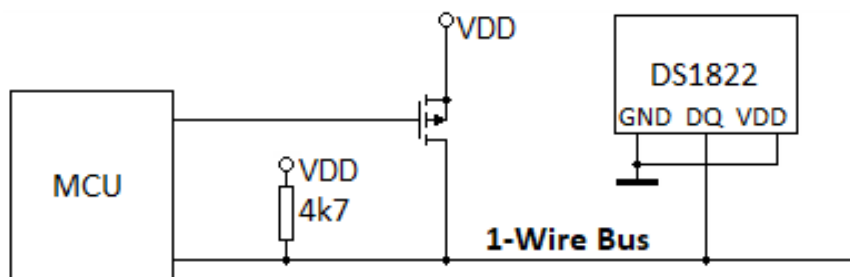
### Sběrnice 1-Wire [15][16][17]

Společnost *Dallas Semiconductor* navrhla v 90. letech minulého století speciální sběrnici o nízké přenosové rychlosti, která je zároveň schopna napájet podřízeného komunikačního partnera. Tato nesymetrická sběrnice je použitelná pro přenos až do vzdálenosti 300 m a umožňuje připojení více komunikačních modulů (*master – multislave*). Díky velmi nízké přenosové rychlosti (16 kb/s) je poměrně odolná proti rušení. Napájecí moduly jsou vybaveny kapacitorem 800 pF, který zálohuje napětí modulu *slave* v případě přenosu nízkého napětí stavu (log0). Sběrnice dokáže pracovat v módu nízkého odběru, datová informace tedy není nesena proudovou složkou, ale napětíovou. Proud je do systému dodáván pouze za účelem napájení modulu a nabitím kapacitní složky vedení.



**Obrázek 10:** Bloková schémata vysílače a přijímače 1-Wire – převzato z [15]

Fyzická vrstva na obrázku 10 ukazuje, že sběrnice je buzena *open drain* tranzistorem. Nízký stav je realizován sepnutými tranzistorem (vyšší priorita přenosu) a naopak vysoký stav je dosažen pomocí *pull-up* rezistoru v případě rozpojení všech komunikačních tranzistorů. Součástí sběrnice je rovněž protokol, který řídí celý přenosový paket. Ten je optimalizován pro konkrétní použití, tedy komunikaci s teploměry, vlhkoměry, jednotkami reálného času, ale především s ROM pamětmi umožňující identifikaci objektu (*iButton*). Protokol specifikuje jednotlivé sekce paketu a časové poměry během jejich vysílání.



**Obrázek 11:** Posílení sběrnice v případě napájení jejím prostřednictvím – převzato z [16]

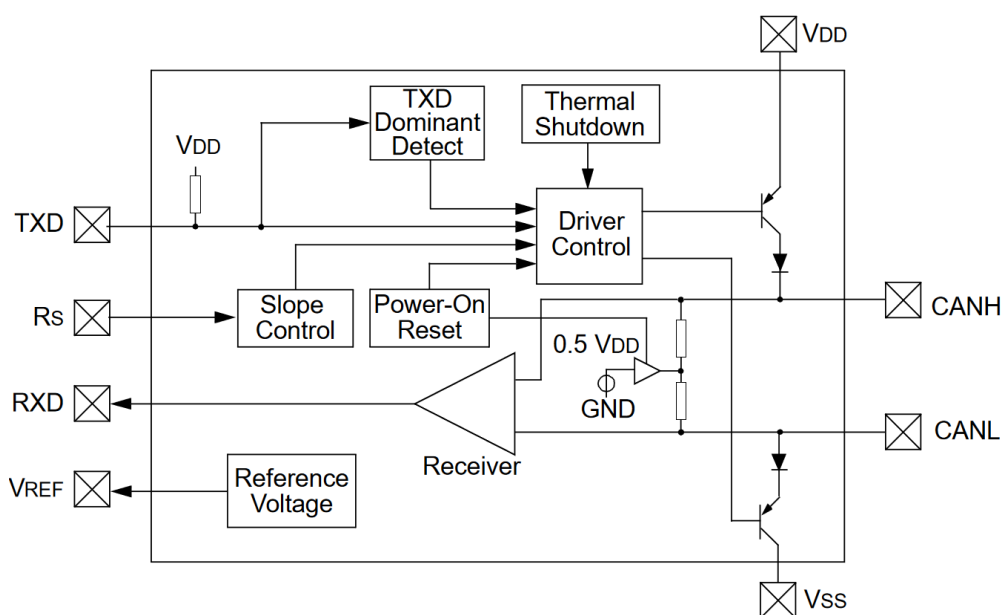
V případě napájení podřízeného modulu po sběrnici musí být *pull-up* rezistor posílen (spíše nahrazen) tranzistorem (obrázek 11). Ten je schopen napájet modul a také kapacitor pro zálohu energie v modulu *slave* [17]. Sběrnice především díky svým limitům nenalezla příliš široké uplatnění, ale v určitých oblastech, např. v oblasti autentizace, sehrává poměrně významnou roli.

Fyzická vrstva 1-Wire se nejvíce podobá navržené hybridní sběrnici. Parametry, kterými však 1-Wire disponuje, zdaleka nevyhovují vyšším nárokům, a to zejména v oblasti přenosové rychlosti a také spotřeby modulu *slave*. Zatímco 1-Wire umožňuje pomalou komunikaci s parazitním napájením připojených modulů, hybridní sběrnice umožňuje rychlou komunikaci

s výkonným napájením podřízených modulů. Přičemž oba klíčové parametry lze vhodným návrhem optimálně vybalancovat.

### Sběrnice CAN [18][19][20][21]

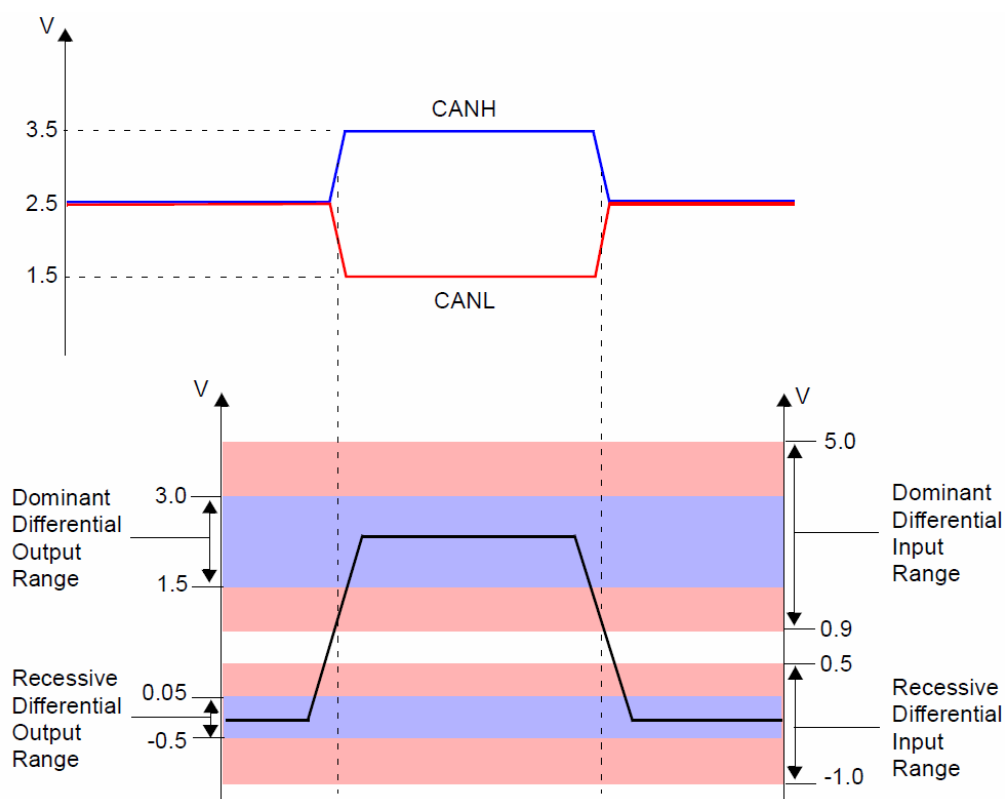
Na rozdíl od předchozí popisované, našla sběrnice CAN (*Controller Area Network*) větší uplatnění, zejména v automobilovém průmyslu. Pro tuto oblast byla navržena společností *Robert Bosch GmbH* v roce 1986. Vzhledem ke svým výborným vlastnostem a dokonale vystavěnému protokolu našla tato sběrnice uplatnění i v jiných odvětvích. Mezi její klíčové vlastnosti patří velká odolnost proti rušení, propracovaný stochastický přístup k vysílání a efektivní řešení mimořádných stavů (chyba sběrnice, přetížení sběrnice, kolize...). CAN je tvořena fyzickou a linkovou vrstvou a taktéž protokolem umožňující řešení všech stavů, ve kterých se může nacházet. I když je sběrnice CAN primárně navržena pro automobilový průmysl, může její vedení dosahovat délky okolo 1 km. Na krátké vzdálenosti se běžně používá přenosová rychlost 1 Mb/s.



**Obrázek 12:** Schéma MCP2551 budiče sběrnice CAN – převzato z [18]

Na obrázku 12 je blokové schéma budiče CAN. Sběrnice se může nacházet ve dvou stavech reprezentovaných napětíovou, respektive impedanční úrovní. Dominantní stav, představující log0 nastává, pokud jsou oba výstupní tranzistory v budiči sepnuty. Na diferenciální sběrnici je přítomno napájecí napětí. Recesivní stav (log1) je reprezentován rozepnutými tranzistory, přičemž diferenciální vodiče jsou propojeny pomocí rezistorů v budiči. Tento stav tedy nevykazuje napětí, naopak diferenciální pár je rezistivně propojen. Jelikož sběrnice by měla být

zakončena terminátorem o nominální velikosti  $120\ \Omega$ , protéká v dominantním stavu sběrnici proud, který zvyšuje její odolnost proti rušení.



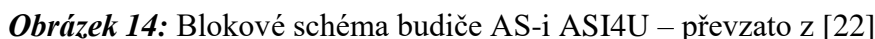
**Obrázek 13:** Jmenovité úrovně na sběrnici CAN – převzato z [19]

Z obrázku 13 jsou oba výše uvedené stavy patrné. Zatímco odolnost proti zarušení je tvořena fyzickou vrstvou, odolnost, či robustnost celého provozu je tvořena protokolem. Ten řeší synchronizaci přenosu (vkládací bity – *Stuffing Bits*), přetížení sběrnice (*Overload Frame*), chybovost sběrnice (*Error Frame*), popřípadě adresaci s možností filtrování zpráv atd. [20][21].

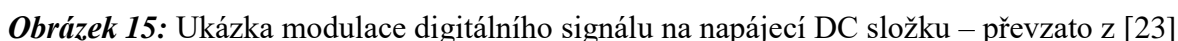
Sběrnice CAN nedokáže napájet podřízené moduly, nicméně je schopna bezchybného přenosu informace v zarušeném prostředí o poměrně velké rychlosti. Hybridní sběrnice nemůže z principu dosahovat srovnatelné rychlosti, ovšem za cenu mírného snížení této rychlosti, dokáže přenášet data a zároveň napájet podřízené komunikační moduly.

### Sběrnice AS-Interface [22][23][24]

Jednou z mnoha používaných sběrnic v oblasti průmyslové automatizace je AS-Interface (také AS-i *Actuator/Sensor Interface*). Byla navržena v roce 1990 sdružením desítky převážně německých společností za účelem zjednodušení kabeláže při sběru dat ze senzorů. Sběrnice je



Princip přenosu spočívá v modulaci digitálního signálu (zejména UART – *Universal Asynchronous Receiver and Transmitter*) na napájecí napětí. Modulace a demodulace se realizuje v budičích sběrnice – např. na obrázku 14. Na napájecí stejnosměrnou složku jsou superponovány pulsy o určité velikosti a určité polaritě. Synchronizační puls má zápornou polaritu, ostatní pulsy mají kladnou polaritu, jsou tedy aditivní k napájecímu napětí (obrázek 15). Soustavou komparátorů jsou pulsy separovány a po rekonstrukci a dekódování (*Manchester Code*) jsou k dispozici.



AS-i disponuje řadou specifických rozšíření, která z této sběrnice činí robustní nástroj pro aplikace pohybující se v průmyslové oblasti. Neustálé zdokonalování a standardizace sběrnice je v díci společenstvím AS-International, které zajišťuje její normalizaci a uniformitu pro pokrytí co nejširších potřeb průmyslové automatizace. Na obrázku 16 je ukázka propojení několika různých modulů prostřednictvím jediné sběrnice [22][23].



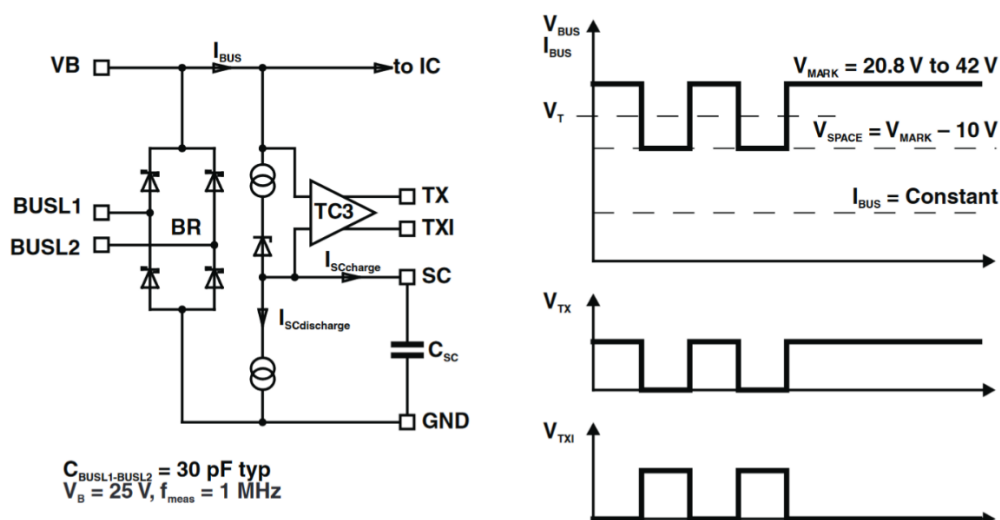
**Obrázek 16:** Ideové schéma propojení komunikačních prvků sběrnicí AS-i – převzato z [24]

Sběrnice AS-i představuje poměrně robustnější systém oproti navrhované hybridní sběrnici. Ta se vyznačuje jednoduchostí a možností provozu v nízkopříkonovém režimu, popřípadě možností provozu napájeném miniaturními bateriemi.

### **Sběrnice M-Bus [25][26][27]**

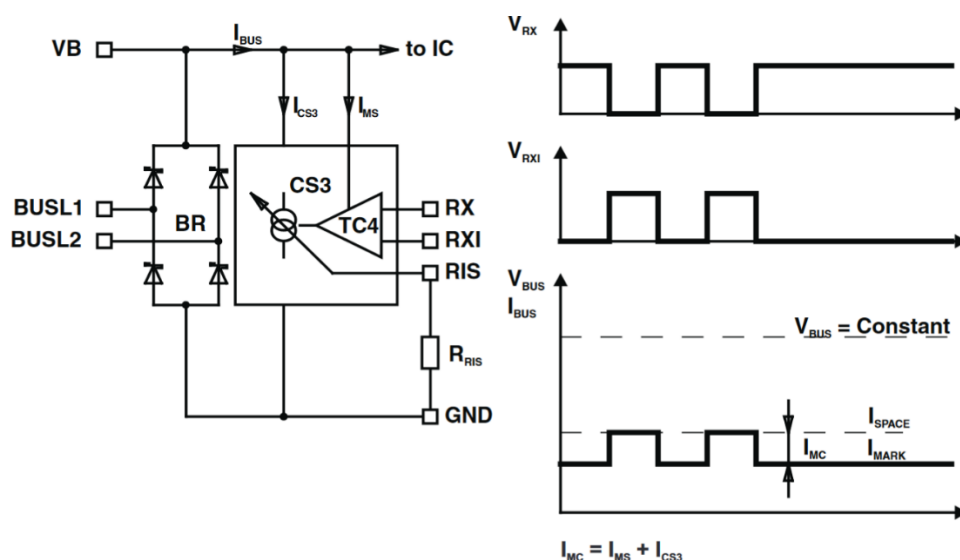
Sběrnice M-Bus (*Meter Bus*) byla vyvinuta německou universitou v Padebornu (*University of Paderborn*) ve spolupráci se společností Texas Instruments. Je úzce specializována pro adresný přenos dat z tepelných měřičů na velké vzdálenosti o malé přenosové rychlosti [25]. Na jednu sběrnici může být připojeno až 250 stanic, přičemž délka jednoho úseku může dosahovat 1 km. Komunikační rychlost pro tuto délku dosahuje velikosti 300 Bd. Pro kratší úseky je stanovena maximální rychlost 9600 Bd. Zatímco k přenosu dat je využito asynchronní komunikace standardu UART, fyzická vrstva je atypická. Umožňuje obousměrnou, tedy plně duplexní komunikaci. Modul *master* komunikuje změnou napětových úrovní ( $36\text{ V} = \text{log}1$ ,  $24\text{ V} = \text{log}0$ ) a modul *slave* modifikuje průchod proudu sběrnicí ( $1,5\text{ mA} = \text{log}1$ ,  $11\text{--}20\text{ mA} = \text{log}0$ ). Díky vysokým napětovým úrovním dokáže modul *master* napájet ostatní připojené měřicí body.





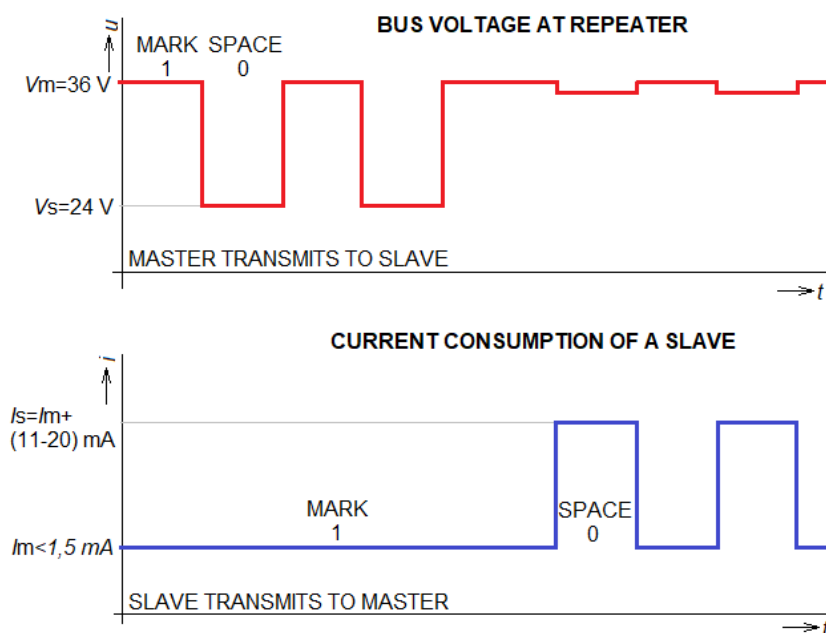
Obrázek 17: Blokové schéma budiče při komunikaci modulu master – převzato z [26]

Na obrázcích 17 a 18 jsou ukázána schémata jednotlivých budičů. Zatímco modul *master* vysílá data pomocí změny napěťových úrovní, musí rozpoznat průchod proudu sběrnicí, protože pomocí jeho změny je modulem *slave* zasílána informace. Modul *slave* naopak musí umět detekovat napěťové úrovně a zároveň dokáže modifikovat změnu proudu pomocí vhodně nastavené aktivní zátěže. Na obrázku 19 jsou znázorněny napěťové a proudové poměry sběrnice při přenosu informace.



Obrázek 18: Blokové schéma budiče při komunikaci modulu slave – převzato z [26]

Budiče lze realizovat prostřednictvím integrovaných obvodů. Obvod TSS721A od společnosti Texas Instruments představuje rozhraní mezi M-Bus a sběrnicí UART s přidánými obslužnými funkcemi pro přenos dat v oblasti tepelných měřičů.

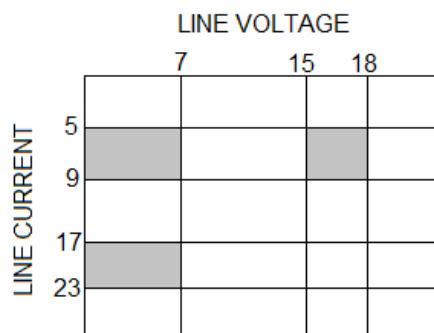


**Obrázek 19:** Ukázka napěťové a proudové úrovně na sběrnici M-Bus – převzato z [27]

M-Bus je úzce specializovaná sběrnice, sloužící k pomalému přenosu malých objemů dat z mnoha komunikačních bodů. S navrhovanou hybridní sběrníci ji spojuje možnost napájení komunikačních modulů a také důvod jejího vzniku. Byla vyvinuta na základě konkrétních požadavků, přičemž žádná z dosud existujících sběrnic nebyla schopna bezezbytku realizovat splnění všech požadovaných cílů.

### Sběrnice OpenTherm [28][29]

Další z úzce specializovaných sběrnic vyvinutých pro konkrétní typ přenosu představuje OpenTherm. Tento standard byl vyvinut společností *Honeywell* v roce 1996 a byl za jednu libru prodán asociaci OpenTherm (*OpenTherm Association*). Původní záměr jeho vzniku bylo zajištění digitální komunikace mezi topnými objekty (kotle, bojler – *Boiler Unit*) a jejich ovladači (termostat, řídicí jednotka – *Room Unit*) po stávajícím dvouvodičovém vedení [28]. Princip komunikace je obdobný jako u předchozí sběrnice. Přenos je obousměrný. Zatímco jeden z modulů při vysílání modifikuje napěťovou úroveň, jeho protistrana modifikuje proudovou úroveň.

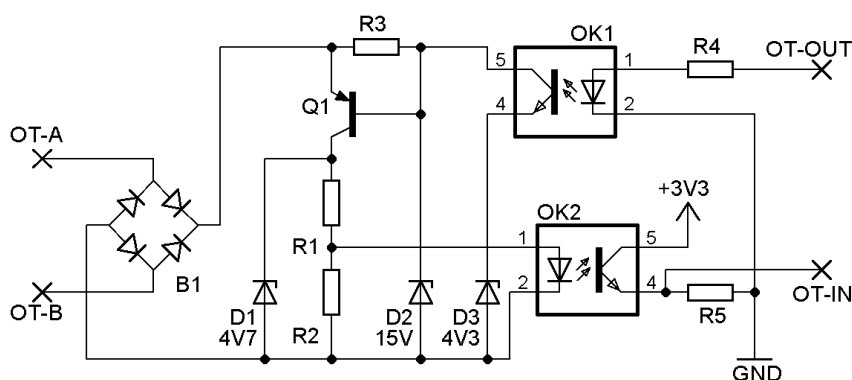


**Obrázek 20:** Diagram napětových a proudových úrovní při komunikaci na sběrnici OpenTherm – převzato z [29]

Z obrázku 20 je patrné, že sběrnice OpenTherm pracuje v konkrétních intervalech hodnot (šedě podbarvená políčka), která jsou dělena:

- Komunikace: kotel – termostat (*Boiler Unit to Room Unit*)
  - *High level* (log1) 17–23 mA,
  - *Low level* (log0 / klidový stav) 5–9 mA.
- Komunikace: termostat – kotel (*Room Unit to Boiler Unit*)
  - *High level* (log1) 15–18 V,
  - *Low level* (log1) max 7 V.

Komunikační rychlost se pohybuje okolo 1 kb/s, synchronizace je tvořena manchesterským kódováním a přenos je realizován pomocí 32 bitových paketů. Maximální délka mezi jednotlivými komunikačními body je uváděna 50 m.



**Obrázek 21:** Budič sběrnice Boiler Unit sestavený z diskretních součástek (vlastní návrh)

Dosud nebylo známé žádné integrované řešení budiče OpenTherm, pro jsem jej pro potřeby aplikace projektu před mnoha lety realizoval v diskretní podobě (viz obrázek 21). Vstupní diodový můstek upravuje polaritu zapojení. Dvoukanálový optooddělovač představuje obousměrné oddělení sběrnice od komunikační části mikrokontrolérů. Přijímací část je

napájena děličem rozhodujícím o otevření či zavření vstupu oddělovače, druhá část spíná proudovou zátěž umožňující vysílání informace.

Sběrnice OpenTherm vznikla na základě konkrétních požadavků s vědomím, že stávající řešení by bylo pouze kompromisem. Pomocí ní nelze napájet podřízené moduly, nicméně spojuje ji s navrhovanou hybridní sběrnicí jednoduchost realizace budiče bez nutnosti propracovaných speciálních integrovaných obvodů.

### **Sběrnice eBUS [30][31][32]**

Další z úzce zaměřených sběrnic navržených za účelem přenosu dat v zařízeních sloužících pro vytápění a solární energii, je nazývána eBus (*Energy Bus*). Bohužel v literatuře je k ní málo informací. Podle [31] byla vyvinuta společností *Koarl Dungs company*, nicméně v historii společnosti [32] není o sběrnicí ani zmínka. Její provoz a standardizaci by měla zajišťovat společnost *eBus Interest Group*, jejíž doména *www.ebus.de*, je nefunkční.

Tato kapitola má za cíl komparaci sběrnic (podobných s navrhovanou) podle parametrů, nikoliv podle úspěšnosti, či četnosti využívání. Zařadil jsem ji tedy mezi popisované, navzdory kusým informacím o jejím nasazení, komerčním využívání, popřípadě jejím rozvoji a progresivitě.

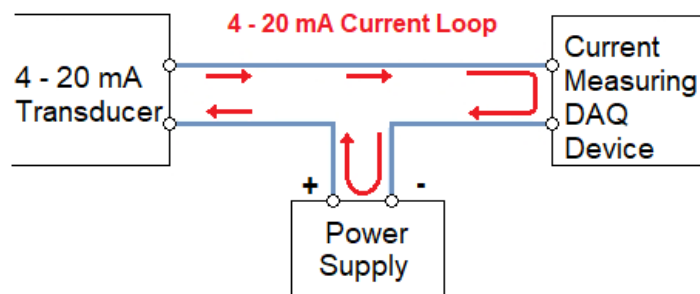
Sběrnice eBus komunikuje pomocí sériové linky standardem UART o rychlosti 2400 Bd. Fyzická vrstva definuje logické stavy napětíovými úrovněmi: log1 (15–24 V) log0 (8–12 V) [30]. Ochrana před zarušením je tedy realizována vyšším napětím, což do jisté míry dokáže eliminovat vliv rušivého signálu. Protokol sběrnice je poměrně propracovaný, zahrnuje přenos vyšších vrstev, přenos kolekce povelů a sběr naměřených dat.

Ačkoliv na trhu existují komponenty komunikující popisovanou sběrnicí, v návodech a manuálech k těmto komponentům není zmínka o dalších parametrech, popřípadě variantách, módech atd. Vzhledem k omezeným informacím, které jsou na internetu k dispozici, rovněž k absenci asociace zaštiťující rozvoj, standardizaci a progresi sběrnice, nejsem přesvědčen, že je příliš perspektivní.

### **Proudová smyčka [33][34][35][36][37]**

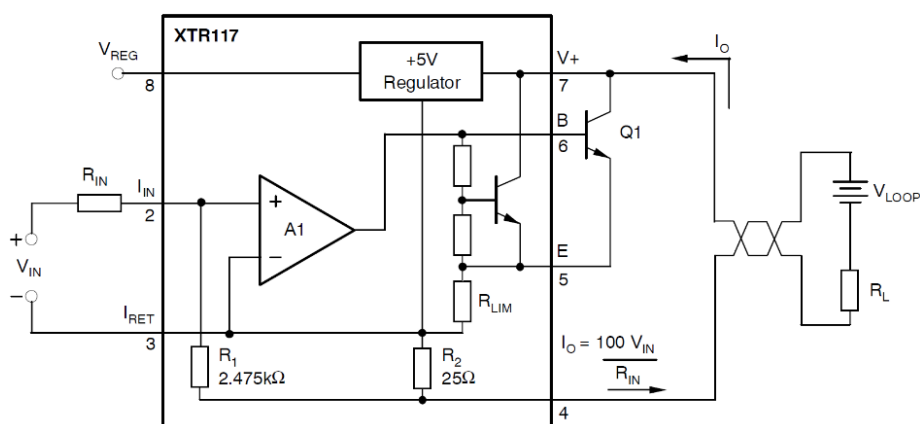
Zřejmě nejstarší přenosovou sběrnicí navrženou do prostředí se silným rušením je proudová smyčka. Počítky jejího nasazení datují do roku 1950 a původně sloužila pouze pro přenos analogových hodnot. Postupně se modifikovala i do digitální podoby, ale také byla stále častěji

nahrazována novějšími přenosovými standardy. Z principu se jedná o přenos informace spojitě i nespojitě, přičemž nositelem informace je proudová úroveň. Nejčastěji používaná varianta pro digitální přenos má úrovně 4/20 mA ( $\log 0 = 4 \text{ mA}$ ,  $\log 1 = 20 \text{ mA}$ ).



**Obrázek 22:** Zapojení komponent prostřednictvím proudové smyčky – převzato z [33]

Tato sběrnice (obrázek 22) je definována pouze fyzickou vrstvou. Neřeší množství dat, přenosovou rychlost, skladbu paketů atd. Jejím hlavním cílem je eliminace rušení v průmyslovém prostředí. Používá se tedy pro datový či spojitý přenos na delší vzdálenosti v silně zarušeném prostředí. Vzhledem ke schopnosti přenášení analogových informací je její odolnost v digitální oblasti značná.



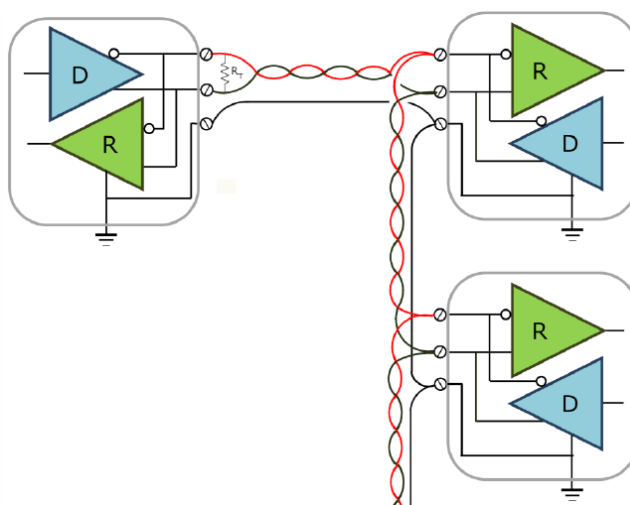
**Obrázek 23:** Ukázka topologie proudové smyčky s vysílačem XTR117 – převzato z [34]

Díky poměrně rozsáhlému používání byly její budiče integrovány do zákaznických obvodů. Například obvod AD694 od společnosti Analog Devices, MAX14626 od společnosti Maxim Integrated nebo XTR117 (obrázek 23) od společnosti Texas Instruments [35][36][37][34].

Tento základní typ odolné sběrnice je postupně nahrazován úzce zaměřenými ekvivalenty, přesto její základní princip je využíván v mnoha dalších realizacích.

## Sběrnice RS-485 [38]

Poslední z popisovaných sběrnic je poměrně rozšířená RS-485. Je definována svou fyzickou vrstvou a slouží tedy jako základní přenosový nástroj pro další systémy (*Profibus*, *Modbus*). Pro datový přenos je nejčastěji využíván standard UART, který lze jednoduchým způsobem pomocí budičů převést na RS-485. Sběrnice pracuje v diferenciálním módu, ve kterém je přenášená informace prezentována napětovou polarizací. Díky terminačnímu zakončení protéká sběrnici definovaný proud, který ji činí vysoce odolnou v průmyslovém prostředí.



**Obrázek 24:** Ukázka topologie RS-485 – převzato z [38]

Standard definuje různá propojení komunikačních modulů. Mezi nejčastější patří: „line“ (obrázek 24) a „ring“. Způsoby komunikačního přístupu (deterministický, stochastický) řešení kolizí a definice paketů jsou v dle vyšších standardů využívajících fyzickou vrstvu RS-485. Díky mimořádnému rozšíření této sběrnice má prakticky každý výrobce integrovaných obvodů zařazen ve svém portfoliu její budič, a to v několika variantách.

RS-485 bývá provozována na vedeních o maximální délce 1200 m většinou krouceným párem vodičů. Přenosová rychlost bývá přizpůsobena délce. Pro krátké vzdálenosti může přenosová rychlost nabývat hodnoty 10 Mb/s. Diferenciální vývody bývají označeny buď A/B nebo +/–. Maximální počet uzlů na vedení je 32 a sběrnice musí být na obou koncích ukončena terminátory nejčastěji o hodnotě  $R = 120 \Omega$ .

## Shrnutí

Výpis jednotlivých sběrnic nebyl pořízen za účelem podrobného popisu, případně jako podklad pro jejich návrh. Byly vybrány podle klíče jistých shod a analogií s následně popsanou

a navrhovanou hybridní sběrnici. Většina nových sběrnic byla navržena na základě konkrétních požadavků, přičemž v době návrhu bylo zřejmé, že stávající typy stoprocentně nepokryjí všechny požadavky. Z toho důvodu většinou vznikly nové sběrnice, které buď našly uplatnění i mimo rámec původního záměru, nebo postupně pozbyly svoji exkluzivitu a postupně mohly být nahrazeny progresivnějšími typy.

## 2.7 Specifikace cílů disertační práce

Základní část této práce se bude zabývat návrhem nové hybridní sběrnice sloužící k přenosu elektrické energie a zároveň k datovému přenosu. Návrh vychází z výsledků aplikovaného výzkumu. Sběrnice bude teoreticky rozebrána a kvalitativně analyzována včetně podrobného popisu jednotlivých provozních bloků. Dále budou vyjádřeny provozní parametry – jak statické, tak i dynamické.

Jádro disertační práce se bude zabývat návrhem protokolu a podrobným rozbořem fyzické vrstvy sběrnice pracující v nízkopříkonovém a výkonovém režimu. Budou vyjádřeny parametry budičů splňující zadané statické i dynamické požadavky. Praktický návrh bude podroben testování a měření, ve kterých se ověří teoretické předpoklady. Součástí práce je vytvoření návrhu obvodových bloků, které se mohou využít pro provoz výkonově náročnějších zařízení.

Cílem disertační práce je návrh a obvodová realizace sběrnice, která dokáže splnit následující kritéria:

- obousměrná komunikace a napájení podřízeného prvku jedním signálovým a jedním zemním vodičem,
- komunikace musí probíhat obousměrně s možností řízení směru,
- navzájem propojená zařízení musí být schopna pracovat v režimu nízkého odběru i ve výkonovém režimu,
- napájení nadřazeného modulu může být realizováno v režimu LPM (*Low Power Mode*),
- objem přenášených dat může být libovolně velký,
- komunikační rychlost musí být vyšší, v řádech desítek kb/s,
- kontinuální proudový odběr modulů propojených sběrnici může být v řádech stovek mA.

Dosud navržené a provozované sběrnice nesplňují všechna uvedená kritéria, jejich užití by bylo návrhovým kompromisem. Splnění všech vytýčených cílů bez snížení kterýchkoliv požadavků je hlavním záměrem popisované hybridní sběrnice, a tedy i cílem disertační práce.

Primárním přínosem této práce je návrh funkční a robustní sběrnice, splňující výše uvedená kritéria, kterou lze ovládat prostřednictvím obvodů realizovaných mikroelektronickou technologií.

Potenciál sběrnice tkví v možnosti širšího využití (rychlost, spotřeba) a také v možnosti mikroelektronické realizace. Zásadní dělení může spočívat v nárocích na spotřebu. Z toho důvodu je možné rozdělit požadavky:

- sběrnice pracuje v nízkopříkonovém režimu – kratší vzdálenost, nižší odolnost proti rušení, nižší přenosová rychlost, napájení prostřednictvím miniaturních baterií,
- sběrnice pracuje ve výkonovém režimu – delší sběrnice, odolnost proti rušení, možnost vyšší přenosové rychlosti, napájení výkonnějších spotřebičů.

Oba dva režimy budou v disertační práci rozebrány a diskutovány – jak v oblasti návrhu protokolu, tak i v oblasti návrhu budičů. Budou popsány dílčí bloky fyzické vrstvy přijímače i vysílače, tyto bloky budou podrobeny simulaci, realizovány v diskrétní formě, a testovány. Závěrečné zkušební testy budou doloženy výsledky měření s ověřením všech teoretických předpokladů.



### 3 Princip funkce nové hybridní sběrnice

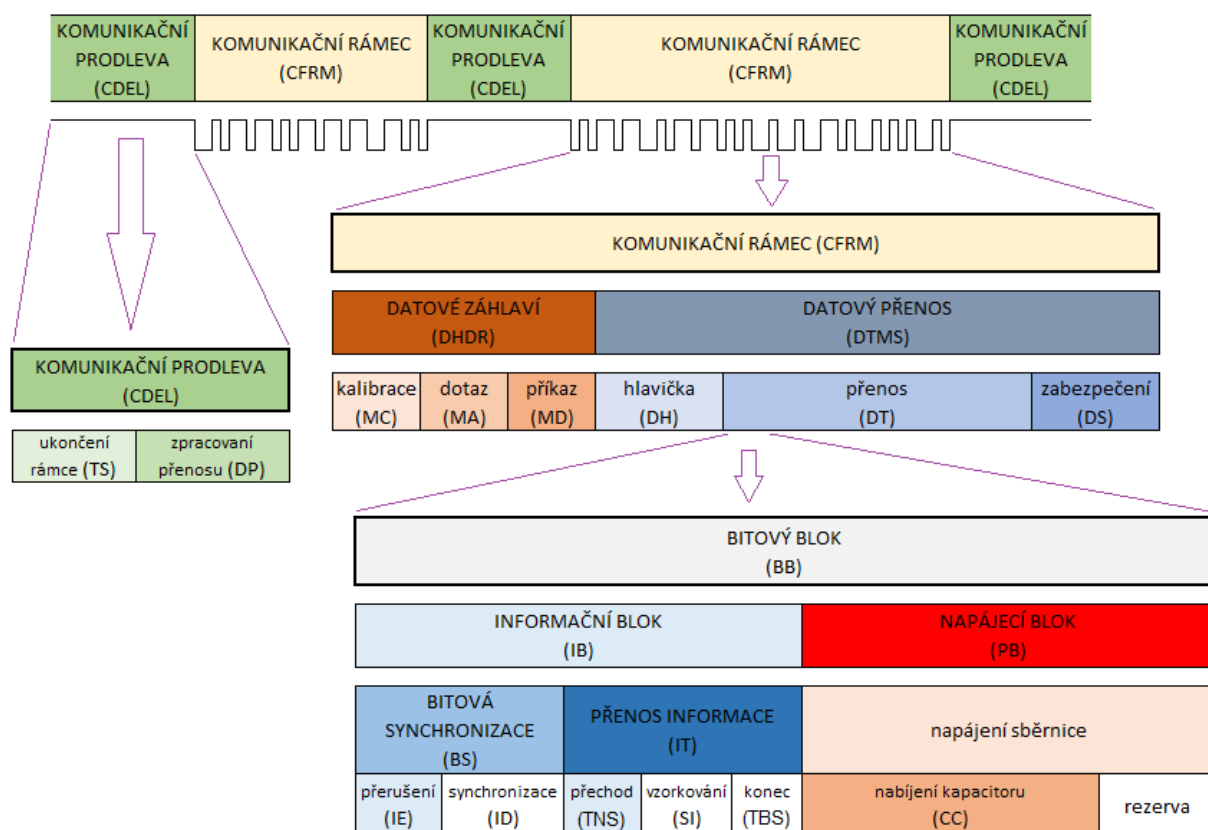
Základním principem hybridní sběrnice je rozdělení přenosu jednoho bitu do dvou úseků. V prvním úseku je přenášena bitová informace pomocí proudově dimenzovaných spínačů a ve druhém úseku je distribuována energie potřebná pro napájení komunikačních prvků. Na straně modulu *master* je přepínáno mezi oběma úseky prostřednictvím různě dimenzovaných proudových zdrojů, v modulu *slave* jsou tyto úseky separovány detektorem maximální úrovně. Záložní kapacitor v modulu *slave* pokrývá energetickou spotřebu po dobu přenosu bitové informace. Modul *slave* se rovněž účastní na přenosu informace pomocí proudově dimenzovaného zdroje. Nastavením hladiny jednotlivých proudových zdrojů lze realizovat návrh zařízení pracující ve výkonovém anebo nízkopříkonovém režimu.

Pomocí nastavení úrovní jednotlivých proudových zdrojů lze rovněž modifikovat ostatní provozní parametry sběrnice jako jsou: přenosová rychlost, odolnost proti rušení, proudový odběr, ... Komunikace probíhá obousměrně a je řízena napájecím modulem *master*.

Mezi klíčové požadavky kladené na tuto sběrnici, ale též na celou kooperaci mezi moduly *master* a *slave* patří:

- Provoz v režimu nízké spotřeby – napájeno miniaturní baterií.
- Možnost velké špičkové zátěže prostřednictvím sběrnice – jednotky ampérů.
- Možnost přenosu libovolně dlouhého datového paketu bez ztráty napájení.
- Středně velká přenosová rychlost – desítky kb/s.
- Přenos na krátkou vzdálenost – jednotky metrů.
- Miniaturní zástavba komunikačních modulů – pod 0,7 cm<sup>2</sup>.

Sběrnice sdílající stejný vodič jak pro přenos informace, tak i napájení všech připojených komunikačních prvků (dále jen prvků) je typu: *master – multislave*. Jeden prvek (typu *master*) provádí arbitráž sběrnice, tedy zahajuje a řídí celou komunikaci a ostatní prvky (typu *slave*) jsou podřízeny. Vyčkávají na synchronizaci komunikace, popřípadě na svolení k datovému přenosu. Sběrnice je poloduplexní, každý prvek může vysílat nebo přijímat data, nikoliv však ve stejnou dobu. Povolení k přenosu dat vydává *master* a zároveň k tomu přizpůsobí její provoz. Komunikační přístup na sběrnici je stochastický, je tedy striktně řešena problematika komunikačního obsazení, kolizní stavy a opuštění komunikace.



**Obrázek 25:** Hierarchie hybridní sběrnice

**Tabulka 2:** Vysvětlivky zkratk z obrázku 25

Úroveň	Český název	Anglický název	Zkratka
1	<b>Komunikační prodleva</b>	<b>Communication Delay</b>	<b>CDEL</b>
2	Ukončení rámce	Termination Sequence	TS
	Zpracování přenosu	Data Processing	DP
1	<b>Komunikační rámec</b>	<b>Communication Framework</b>	<b>CFRM</b>
2	Datové záhlaví rámce	Frame Data Header	DHDR
3	Kalibrace	Master Calibrates	MC
	Dotaz	Master Asks	MA
	Příkaz	Master Directs	MD
2	Datový přenos rámce	Frame Data Transmission	DTMS
3	Datové záhlaví	Data Header	DH
	Přenos dat	Data Transfer	DT
	Zabezpečení	Data Security	DS
4	Bitový blok	Bit Block	BB
5	Informační blok	Information Block	IB
6	Bitová synchronizace	Bit Synchronization	BS
7	Hrana přerušení	Interrupt Edge	IE
	Synchronizace sběrnice	Interrupt Delay	ID
6	Přenos informace	Information Transmission	IT
7	Přechod sběrnice log0 – log1	Transitional State	TNS
	Vzorkovací interval	Sample Interval	SI
	Ukončovací sekvence bitu	Bit Termination Sequence	TBS
5	Napájecí blok	Power Block	PB
6	Nabíjení kapacitoru	Charging The Capacitor	CC

Fyzická vrstva sběrnice je schopna zabránit kolizím (prvky připojené na sběrnici jsou schopny kolizi detekovat), ale tento stav je také řešen ve vyšší vrstvě protokolu. Zde je nastaven mechanismus, kterým se kolizní prvky řídí a podle něhož jsou schopny opustit datový přenos tak, aby nebyla narušena celistvost probíhajícího procesu. Je tedy zajištěno, že i v případě datové kolize nejsou data znehodnocena.

Na obrázku 25 je znázorněna celá hierarchie hybridní sběrnice, tedy od přenosu rámců po přenos jednoho bitu. Ten je jejím základním prvkem, přičemž nastavením jeho parametrů je určena rychlost sběrnice, její odolnost proti rušení a také schopnost dodávat energii podřízeným komunikačním modulům. V tabulce 2 jsou vysvětleny anglické zkratky z obrázku.

Mezi jednotlivými rámci musí být stanovena minimální doba prodlevy, která slouží k synchronizaci zahájení příštího rámce. Jakmile překročí doba prodlevy mezi rámci stanovenou mez, prvek *slave* detekuje ukončení příjmu, zpracuje přijatá data a nastaví parametry systému tak, aby mohl zahájit příjem nového komunikačního rámce – obrázek 26.



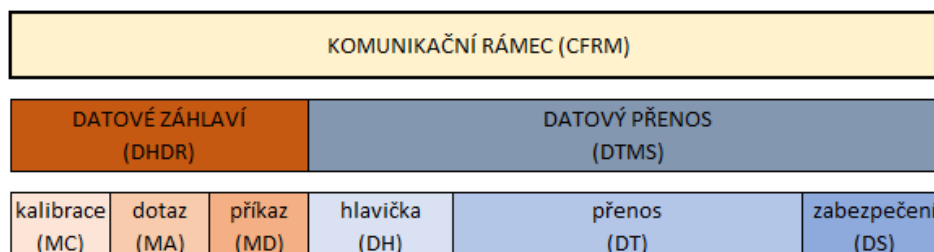
**Obrázek 26:** Časový průběh přenosu několika komunikačních rámců

Spodní část průběhu neznázorňuje úrovně (napětíové / proudové) na sběrnici, pouze ilustrativně dokresluje dobu přenosu informace a dobu prodlevy mezi komunikačními rámci. Znázorňuje pouze obecný, nikoliv přesný popis jejího provozu.

### 3.1 Komunikační rámec

Tak jako je přenos jednoho bitu na nejnižším hierarchickém stupni komunikace, je komunikační rámec na stupni nejvyšším a tvoří ucelený datový přenos. Délka komunikačního rámce je obecně neomezena, nicméně v každé aplikaci by měla být známa maximální délka komunikačního rámce, především z důvodu omezené paměťové kapacity komunikačního prvku (*buffer*). Jakýkoliv ucelený přenos informací je vždy realizován komunikačním rámcem. Jeho obsahem je datové záhlaví DHDR (*Frame Data Header*) a datový přenos DTMS (*Frame Data Transmission*). Komunikační záhlaví určuje časovou synchronizaci a směřování toku dat. Datový přenos může být libovolný, obecně je doporučeno rozdělit jej na segment záhlaví DH

(*Data Header*), segment datové informace DT (*Data Transfer*), a segment zabezpečení DS (*Data Security*).



**Obrázek 27:** Schéma komunikačního rámce

Na obrázku 27 je znázorněn diagram komunikačního rámce. Zatímco datové záhlaví je tvořeno přenosem tří bitů, datový přenos je vždy realizován přenosem celých bajtů, tedy osminásobkem bitového přenosu. Tato délka vychází z běžné datové struktury, ve které jsou většinou data organizována celistvým násobkem počtu bajtů.

### 3.1.1 Datové záhlaví

Úvodní segment zahajuje komunikaci. Jeho prostřednictvím dokáže administrátor (*master*) provádět arbitráž přenosu dat. Jelikož se předpokládá, že režie přenosu, jeho četnost, popřípadě směr přenosu není pevně dán komunikačním protokolem, musí před zahájením komunikace být známy všechny potřebné informace o přenosu, zejména:

- délka datového přenosu,
- typy komunikačních rámců,
- komunikační rychlost,
- typ komunikace,
- zabezpečení dat, ...

Některé z uvedených parametrů jsou konstantní pro uvedený typ sběrnice – nejsou tedy modifikovatelné na základě okamžité potřeby. Pro jiné parametry platí určitá volnost z hlediska zachování univerzálnosti sběrnice a autonomie komunikačního prvku. Datové záhlaví slouží k modifikaci právě těchto parametrů:

- komunikační rychlost (MC),
- dotaz na potřebu komunikace (MA),
- směrování komunikace (MD).

První bit datového záhlaví je označen **MC** (*Master Calibrates*) a je reprezentován log0, kterou *master* vysílá na sběrnici. Pomocí tohoto bitu prvek typu *slave* jednak synchronizuje zahájení komunikačního rámce, ale hlavně synchronizuje časovou základnu a kalibruje tím přenosovou rychlost. Od této délky si musí odvodit všechny níže uvedené časové prodlevy ať už pro vysílání dat, pro příjem, nebo také pro ukončení komunikace.

**Poznámka:** Časová kalibrace se může zdát redundantním prvkem, neboť není problém stanovit přesnou komunikační rychlost. Nicméně nevýhodou této metody je pouze zvýšení objemu dat o jeden bit, což je zanedbatelná hodnota. Naopak výhody převažují:

1. Komunikující prvky nemusí mít přesnou časovou základnu.
2. Master může měnit přenosovou rychlost na základě aktuálních požadavků.

Oba výše uvedené aspekty neznamenaají libovolné nastavení neomezené rychlosti a realizace komunikačních prvků s velkým rozptylem hodnot, ale zahrnují výhody užití mikrokontrolérů se zabudovanými oscilátory. Především akceptují časovou toleranci a časovou stabilitu navzájem komunikujících prvků ( $\pm 10\%$ ).

Druhý bit datového záhlaví je označen **MA** (*Master Asks*). V této části každý prvek *slave*, který hodlá posílat data, nastaví log0. Ta je dominantní a je nadřazena stavu log1, proto v této části je výsledek stavu sběrnice dán logickým součinem – tabulka 3. V případě, že jediný z prvků *slave* hodlá komunikovat, je tento stav reprezentován hodnotou úrovně sběrnice.

**Tabulka 3:** Tabulka stavu sběrnice při komunikaci bitu MA

MA ( <i>master asks</i> )					
požadavek komunikace					
slave 1		ANO			
slave 2			ANO		
...				ANO	
slave n					ANO
stav sběrnice	NE	ANO	ANO	ANO	ANO

Třetí bit datového záhlaví je označen **MD** (*Master Directs*). Zde *master* informuje o směru komunikace. Na základě vyhodnocení informace z předchozího bitu (MA), anebo také na základě procesních priorit je stanoven směr přenosu:

- *master* vysílá data, *slave* přijímá data,
- *master* přijímá data, *slave* přenáší data.

Sběrnice v logické úrovni 1 označuje prvek *master* jako vysílač, naproti tomu logická nula reprezentuje situaci:

1. vysílačem bude prvek *slave*,
2. nebudou se přenášet žádná data a komunikační rámec je tímto ukončen.

Druhá možnost, jakkoliv se může zdát nereálnou, může být nejčastější komunikační variantou. Prvky *slave* nemohou z principu sami inicializovat navázání komunikace s nadřazeným modulem, ani nemohou žádným asynchronním způsobem požádat o zahájení komunikace. Jedinou možností je tzv. metoda *pollingu*. Prvek *master* se cyklicky dotazuje připojených prvků na nutnost komunikace [40][41]. Perioda cyklu dotazování není řešena v protokolu sběrnice, ta musí vyplynout z požadavků systému.

**Tabulka 4:** Kombinace všech možných stavů komunikačního záhlaví

MC	MA	MD	výsledek
master vysílá	0 slave vysílá 1 žádá o vysílání nežádá vysílání	master vysílá	
0	0	0	slave bude vysílat
0	0	1	master bude vysílat *
0	1	0	konec přenosu
0	1	1	master bude vysílat

Tabulka 4 shrnuje kombinaci všech možných stavů komunikačního záhlaví. První bit je vždy vysílán *masterem* a slouží k časové synchronizaci a kalibraci. Úroveň druhého bitu je v režii prvku *slave*, který oznamuje potřebu komunikace. Třetí bit určuje směrování dat a je zpracován na základě žádosti, ale také na podkladě vnitřních procedur. Při provozu sběrnice tedy mohou nastat čtyři stavy reprezentující požadavky všech zúčastněných komunikačních partnerů, o jejichž výsledku rozhoduje *master*. Čtyři výsledky požadavků jsou dány tabulkou:

1. *Slave* žádá o vysílání vlastních dat a bude je přenášet – běžný stav.
2. *Slave* žádá o vysílání vlastních dat, ale bude vysílat *master* – rozhodnutí na základě vnitřních směrnic.
3. *Slave* nežádá o vysílání vlastních dat a *master* nepotřebuje data posílat – komunikace se ukončí.
4. *Slave* nežádá o vysílání vlastních dat, ale *master* potřebuje data přenášet.

Podmínka 2 (v tabulce označena \*) je realizována na základě interních, blíže nespecifikovaných podmínek. *Slave* potřebuje vysílat data, nicméně *master* to nereflektuje a na sběrnici posílá informaci o vlastním vysílání. *Master* nesmí zde ukončit přenos (ani mu to počet variant dvou binárních stavů neumožňuje), bude vysílat a do datového bloku zřejmě vloží informaci, jejíž obsah je nadřazen běžnému provozu. Tedy informaci s nejvyšší naléhavostí. K takové situaci může dojít například z důvodu neustálého zatěžování sběrnice prostřednictvím žádostí na komunikaci, při poruše atd. *Master* navíc, ve své základní podstatě, disponuje možností odstavit sběrnici od napájení. Tímto „mocným“ nástrojem lze rovněž řešit mimořádné situace komunikujících prvků.

### 3.1.2 Datový přenos

Jakmile je přeneseno datové záhlaví, všichni komunikující partneři jsou informováni o přenosové rychlosti a směru komunikace, je zahájen datový přenos. Tento segment je tedy zahájen ukončením komunikačního záhlaví, má délku násobků celých bajtů. V případě vysílání dat *masterem* je konec přenosu uvozen nečinností sběrnice. Pokud data vysílá *slave*, nelze predikovat ukončení přenosu, neboť veškerou komunikaci realizuje *master*. Délka paketu modulu *slave* musí být tedy dána jednou z možností:

- velikost datového přenosu je uvedena v záhlaví datového přenosu,
- velikost datového přenosu je dána komunikačním protokolem,
- velikost datového přenosu je konstantní.

Ze všech uvedených možností se jeví zřejmě nejvýhodnější možnost získávat informaci o délce datového přenosu v jeho záhlaví. Z důvodu uniformity komunikačního protokolu je vhodné, aby informaci o délce poskytoval jak *slave*, tak i *master* a vůbec aby byl celý datový profil shodný pro oba typy komunikačních prvků. Proto je na obrázku 28 znázorněn návrh skladby datového přenosu.

KOMUNIKAČNÍ RÁMEC (CFRM)			
DATOVÉ ZÁHLAVÍ (DHDR)	DATOVÝ PŘENOS (DTMS)		
synchronizace řízení směru dat	hlavička (DH)	přenos (DT)	zabezpečení (DS)

**Obrázek 28:** Ukázka komunikačního rámce hybridní sběrnice

První část datového přenosu je označena **DH** (*Data Header*) například o velikosti 2 B, informuje o délce celého datového přenosu, tedy včetně sebe sama. Velikost přenášených dat tedy může nabývat hodnot například  $2^{16}$  B (65 536 B).

Prostřední část datového přenosu je označena **DT** (*Data Transfer*). V této části jsou přenášena veškerá data a jediné zde je nesena datová informace. Ostatní části komunikačního rámce tvoří arbitráž přenosu. Na této úrovni je řešen pouze přenos obecných dat, někdy se lze setkat s výrazem „*raw data*“. Rozlišení jejich typu, adresace, hierarchie atd. se děje ve vyšší vrstvě.

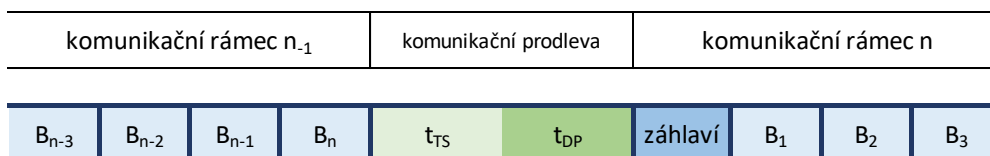
Závěrečná část datového přenosu je označena symbolem **DS** (*Data Security*). Tato část je opatřena zabezpečovací informací, pomocí níž lze s vysokou jistotou zjistit autenticitu přenesených dat v bloku DT. Jako nejvýhodnější prostředek pro zabezpečení přenosu dat z hlediska autentizace se jeví aplikování funkce CRC (*Cyclic Redundancy Check* – cyklický kontrolní součet). Výhoda této metody spočívá v jednoduchosti jejího použití ať už pomocí hardwarových nebo softwarových nástrojů, ale také v její vysoké spolehlivosti. Po výpočtu zabezpečovací informace se výsledek vloží za přenášená data. Přijímací strana na základě přijatých dat vypočítá vlastní hodnotu zmíněné operace a porovná ji s hodnotou přijatou na konci datového řetězce. V případě nalezení shody je přenesená informace s vysokou pravděpodobností autentická.

Z výše uvedeného popisu protokolu vyplývá, že datový přenos DTMS není striktně vymezen je pouze doporučen. Jeho některé části, jmenovitě záhlaví a zápatí mohou tvořit arbitráž datového přenosu, popřípadě určovat celkovou délku komunikačního rámce, ale nejsou zásadní pro celkový koncept přenosu. Rozdělení na jednotlivé bloky je pouze doporučeno a jsou zde zdůrazněny důvody pro jejich použití.

## 3.2 Komunikační prodleva

Z důvodu synchronizace konce datového rámce (modulu *slave*), ale také z důvodu získání časové prodlevy nutné pro zpracování přijatých dat, musí *master* vložit mezi jednotlivé komunikační rámce jistou minimální dobu „neaktivity“. Maximální délka prodlevy není dána, nicméně z důvodu komunikační metody *pollingu* by měla být určena, a to v závislosti na procesních požadavcích systému.





**Obrázek 29:** Rozdělení komunikační prodlevy

Na obrázku 29 je komunikační prodleva rozdělena na dvě části, TS (*Termination Sequence*) o délce  $t_{TS}$  a DP (*Data Processing*) o délce  $t_{DP}$ . Část komunikační prodlevy označené jako  $t_{TS}$  tvoří hranici, po jejímž uplynutí *slave* detekuje ukončení komunikace. Pokud *master* ukončí komunikaci, ostatní prvky to zjistí prostřednictvím určité doby nečinnosti. Doba  $t_{TS}$  musí být vyšší než délka přenosu jednoho bitu  $t_{BB}$ :

$$t_{TS} > t_{BB}. \quad (14)$$

Navýšení času musí zahrnovat tolerance časových základů obou prvků, kvantizaci měřicího časovače (*Capture Mode*), a rezervu pro obsluhu procesu.

Pokud se stanoví  $t_{TS}$  jako dvojnásobek délky bitového bloku:

$$t_{TS} = 2t_{BB}. \quad (15)$$

bude dostatečně velká i pro nejpomalejší komunikační prvky, a zároveň příliš nezpomalí přenosovou rychlost. Po jejím uplynutí *slave* ukončí přenosový provoz, zpracuje data a nastaví potřebné procedury tak, aby mohl začít přijímat další paket. Tyto popsání procedury se zpracují během části prodlevy označené jako DP o délce  $t_{DP}$ . Během této prodlevy vysílač plní úkoly:

- vyhodnocení přenosu paketu (kolize / přenos OK),
- příprava k zahájení nové komunikace.

Přijímač plní následující úkoly:

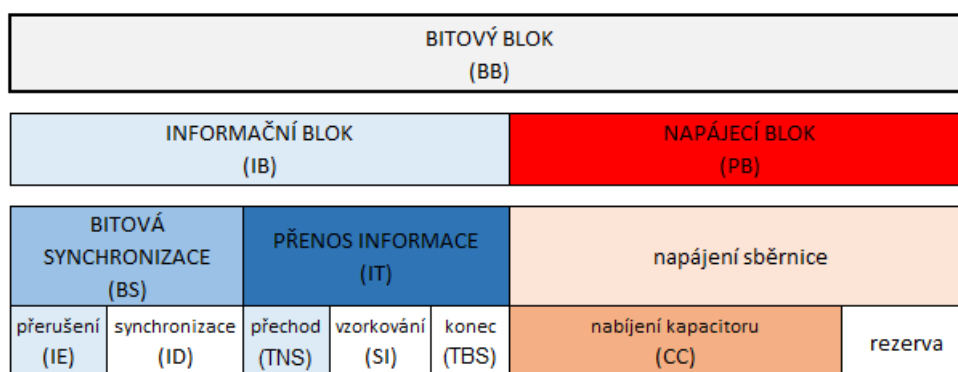
- načtení přijatých dat do záložní paměti (anglicky *buffer*),
- zpracování přijatých dat,
- příprava k zahájení nové komunikace.

Dolní mez této prodlevy je tedy dána omezením procesního zpracování instrukcí a musí brát ohled na moduly s minimální operační rychlostí. Horní mez není omezena, může být libovolně

dlouhá. V systémech komunikujících metodou *pollingu*, by měla být stanovena minimální perioda dotazování (desítky až stovky ms).

### 3.3 Přenos jednoho bitu – bitový blok

Přenos jednoho bitu je základním prvkem provozu. Na této úrovni se popisovaná hybridní sběrnice odlišuje od ostatních. Tento základní komunikační prvek, slouží k přenosu informace o velikosti jednoho bitu a zároveň realizuje napájení podřízených modulů. Na obrázku 30 je znázorněno jeho blokové schéma.



**Obrázek 30:** Schéma přenosu bitového bloku

Jelikož hybridní sběrnice plní dva základní úkoly: přenáší informaci, a napájí připojené moduly, musí být režim přenosu jednoho bitu rovněž rozdělen:

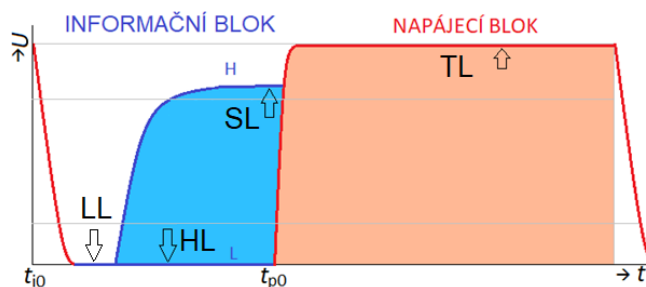
- Informační blok – IB.
- Napájecí blok – PB.

Obě části, jak je z obrázku 30 patrné, jsou sekvenčně řazeny za sebou, tudíž přenosová rychlost musí být nutně nižší než u sběrnic, které mohou kontinuálně komunikovat a jejichž rychlost je omezena pouze fyzikálními vlastnostmi radičů, budičů či vedením. Oba bloky jsou složeny z několika fází, které budou v následující části textu podrobně popsány, kvalitativně, i kvantitativně.

Ještě před zahájením popisu přenosu bitového bloku je nezbytné stanovit názvosloví týkající se procesu přepínání úrovně sběrnice. Během přenosu je sběrnice modifikována budiči, jež jsou děleny do čtyř kategorií, jejich dopad se vyznačuje určitou napěťovou úrovní, avšak jsou prezentovány proudovou abilitou. Během komunikace mohou nastat (v jistých případech dokonce nezbytně), kolize spínačů, které se snaží sběrnici posunout či přepnout na žádoucí úroveň. Každý ze spínačů má požadovanou funkcionalitu a také schopnost přenést určité

množství proudu tak, aby nedošlo k příčnému zkratu napájení na sběrnici. Z tohoto důvodu jsou stanoveny čtyři úrovně reprezentující proudovou schopnost spínačů (obrázek 31).

- TL (*Top Level*) – spínač napájecího bloku – modul *master*,
- LL (*Low Level*) – spínač uzemňující sběrnici – modul *master*,
- HL (*Hard Level*) – spínač datového bloku realizující logickou úroveň 0 – modul *slave*,
- SL (*Soft Level*) – spínač datového bloku realizující logickou úroveň 1 – modul *master*.

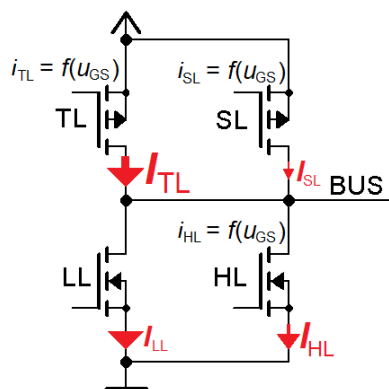


**Obrázek 31:** Proudové úrovně při přenosu bitové buňky

Přes dimenzované spínače tečou proudy:  $I_{TLmax}$ ,  $I_{LLmax}$ ,  $I_{HLmax}$ ,  $I_{SLmax}$ . Mezi těmito proudy musí platit následující nerovnost:

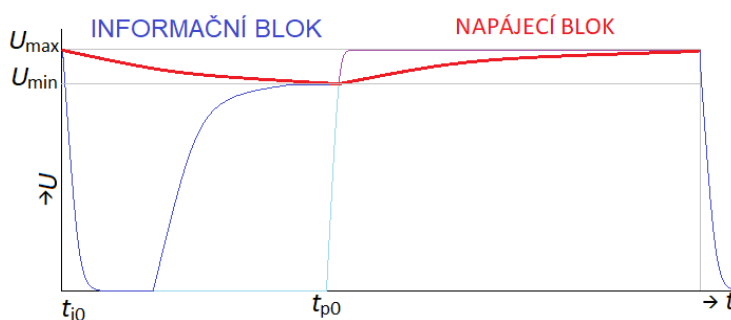
$$I_{TLmax} \gg I_{HLmax} > I_{SLmax} \quad (16)$$

Proudový spínač LL (*Low Level*) tvoří výjimku, protože proti němu nepůsobí (alespoň v provozním režimu) žádný z ostatních proudových zdrojů. Má za úkol (na straně modulu master), pouze uzemňovat sběrnici a odsávat tak náboj především z příčné kapacity vedení a bran budičů. Dle vztahu (16) je zřejmé, že proudově řízený spínač provádějící sepnutí na úroveň SL (*Soft Level*) musí být „překonán“ spínačem úrovně HL (*Hard Level*) a sběrnice musí být spolehlivě na úrovni log0. Spínač HL musí s velkou rezervou „odstavit“ spínač realizující úroveň TL (*Top Level*) a spolehlivě tak připojit napájecí napětí do systému. Zatímco „souboj“ proudově dimenzovaných spínačů *soft* a *hard level* je v provozu nutný, kolizím spínače *top level* lze buď předcházet, anebo návrhem nastavit tak velký rozdíl mezi proudy, že kolize nezpůsobí provozní problémy. Obvody proudově dimenzovaných spínačů budou popsány dále v textu (4.1). Proudově dimenzované spínače TL a LL mohou tedy být proudově předimenzovány, spínače SL a HL musí být precizně vybalancovány.



**Obrázek 32:** Elektrické poměry na proudově řízených spínačích

Na obrázku 32 jsou schematicky znázorněny jednotlivé podíly na proudových schopnostech spínačů jednotlivých úrovní. Organizaci přenosu bitového bloku má v kompetenci *master*, který zahajuje všechny jeho dílčí fáze. Prvky *slave* mohou ovlivňovat sběrnice pouze po předchozím povolení, a to pouze v části, ve které je přenášena informace (IT – *Information Transmission*).

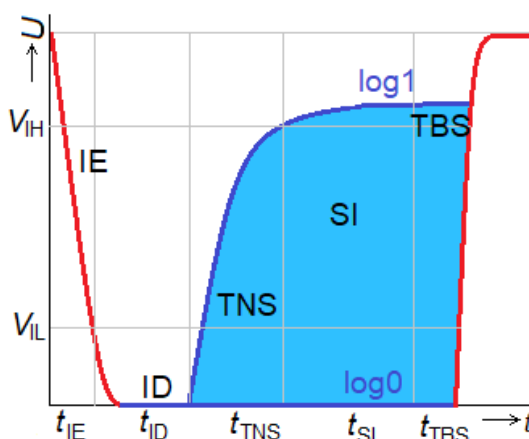


**Obrázek 33:** Časový průběh napěťové úrovně sběrnice a napájení modulu *slave*

Zatímco informační blok (IB) se stará o přenos informace a je složen ze synchronizační fáze a fáze obsluhující vlastní přenos, úkolem napájecího bloku (PB) je pokrytí energetické potřeby po dobu přenosu celého bitového bloku. Napájecí blok následuje bezprostředně po ukončení informačního bloku. Prvek *master* jej realizuje přímým připojením sběrnice na napájecí napětí (TL). Jelikož každý prvek *slave* musí být na vstupu opatřen detektorem maxima (kapitola 4.1.2), začne se po připojení sběrnice na napájecí napětí nabíjet zálohovací kapacitor, jehož napětí po dobu datového bloku pokleslo. Na obrázku 33 je ukázán obecný napěťový průběh sběrnice při přenosu jednoho bitu. Červený průběh značí zvlnění napájecího napětí modulu *slave*, které se musí pohybovat v bezpečných limitech.

$$U_{\max} > U_{\text{CCSLAVE}} > U_{\min}. \quad (17)$$

Informační část bitového bloku řeší informační přenos jednoho bitu, včetně časové synchronizace pro komunikační partnery. Základní požadavkem je snaha o dosažení nejvyšší přenosové rychlosti. Tento požadavek stojí v opozici především s reálnou **impedancí** vedení, snahou o **energetickou nenáročnost** provozu sběrnice a rovněž také **rušivými vlivy** prostředí. Proto doba trvání datového bloku musí zahrnovat všechna výše uvedená kritéria a její výsledek bude kompromisem zvažujícím všechny zmíněné vlivy. Za účelem výpočtu doby trvání datového bloku je tento blok rozdělen na jednotlivé segmenty.



Datový blok, na obrázku 34, je zahájen okamžitou změnou logické úrovně sběrnice, přechodem z log1 do log0 **IE** (*Interrupt Edge*). Tu realizuje *master* proudovým spínačem LL. Zároveň se mění vektor napájení podřízených modulů. V době před zahájením tohoto bloku byla sběrnice připojena na napájecí napětí, byla schopna nejen napájet prvky *slave*, ale také doplňovat spotřebovanou energii v jejich zálohovacích kapacitorech. Zahájení informačního bloku je provázáno odpojením napájecího napětí od sběrnice a neprodleným odsátím náboje z impedanční části přenosového systému (vedení a vstupní obvody komunikačních prvků). Ze zřejmých důvodů existuje snaha o její časovou minimalizaci.

52

Tuto změnu vyvolá *master* (pomocí LL) a je prezentována poklesem napětí sběrnice k hodnotám blízkým k nule. Každá sběrnice má impedanční charakter, tudíž v ustáleném stavu disponuje nábojem, který je nutné v tomto kroku odsát. Operace bloku IE tedy nedodává do soustavy žádnou energii, naopak energie je disipována spínačem LL. Hlavním cílem této části datového bloku je rychlý přechod stavu, tedy vysoká strmost  $dV/dt$ . Jelikož během přeskupování náboje ze sběrnice neteče proud velký natolik, aby její případný indukční charakter vyvolal negativní napěťovou špičku (podkmit), není maximalizace poklesu sběrnice kritická. Výjimku může tvořit nevhodný návrh detektoru maxima modulu *slave*. Během zotavovací doby detektoru ( $t_{\pi}$ ) může spínačem téct nejenom proud parazitního náboje vedení, ale také reverzní proud z kapacitoru zálohy energie – dále jen záložní kapacitor. Takový proud je řádově vyšší než očekávaný a může způsobit právě zmiňovaný podkmit napětí na sběrnici.

Přepnutí logického stavu sběrnice inicializovaného *masterem* zahajuje synchronizační procesy u prvků *slave*. Následuje doba prodlevy v tomto stavu označená jako **ID** (*Interrupt Delay*). Ta tvoří nezbytný čas pro zahájení přenosu dat ať pro vysílače, tak pro přijímače. Popisovaný segment reprezentuje stav, ve kterém je pozdržena nízká úroveň sběrnice. Tato doba je počítána od zahájení přepnutí úrovně, nikoliv po dosažení její nízké hodnoty.

$$t_{TNS0master} = t_{IE} + t_{ID}, \quad (19)$$

$$t_{TNS0slave} = t_{interrupt\ execution}.$$

Po dobu trvání uvedeného segmentu musí všechny komunikační prvky zahájit komunikaci tím, že se synchronizují právě na dobu poklesu sběrnice, sjednotí si dobu zahájení komunikace a připraví se na přenos informace. Doba trvání tohoto segmentu je dána především výpočetní rychlostí komunikujících prvků. V každém systému, ať už sekvenčním nebo v kombinačním dochází ke zpoždění reakce. Pokud bude komunikační prvek sestaven ze sekvenčního obvodu (mikrokontrolér), dojde k synchronizaci sběrnice během 10 až 20 hodinových cyklů. V kombinačním obvodu je situace příznivější, ale ani zde nemůžeme očekávat okamžitou reakci v čase  $t = 0$ . Doba prodlevy musí být tedy taková, aby se během ní synchronizovaly a připravili na přenos informace všechny komunikační prvky. Proto musí být tato doba nejméně tak dlouhá, jaká je doba odezvy nejpomalejšího komunikačního prvku.

Po uplynutí obou synchronizačních segmentů následuje samotný bitový přenos, označený jako **IT** (*Information Transmission*). Pomocí tohoto segmentu se může realizovat přenos  $\log 1$  i  $\log 0$ , navíc vysílat data může *master* nebo *slave*, proto tento blok nabývá následujících variant:

- *master* vysílá log1 (pomocí SL) na sběrnici, *master* i *slave* čtou sběrnici,
- *master* vysílá log0 (pomocí LL) na sběrnici, *master* i *slave* čtou sběrnici,
- *slave* vysílá log1 (*master* SL) na sběrnici, *master* i *slave* čtou sběrnici,
- *slave* vysílá log0 (*master* SL vs. *slave* HL) na sběrnici, *master* i *slave* čtou sběrnici.

Hodnoty logických úrovní, jakož i časy ve kterých probíhají důležité komunikační procesy, budou popsány dále v textu.

V této části *master* opět otočí logický stav sběrnice, z log0 na log1, s použitím omezeného zdroje proudu (SL – *Soft Level*). Ten může být prezentován v nejjednodušším případě připnutím *pull-up* rezistoru na napájecí napětí, obecně však připojením nejmenšího zdroje proudu, jenž je schopen dodat do sběrnice a připojených vstupních obvodů takové množství náboje, které je schopno za určitou dobu ( $t_{TNS}$ ) přepnutí sběrnice na horní logickou úroveň.

Pokud *slave* vysílá log0, sepne sběrnici na tuto úroveň (HL – *Hard Level*) jelikož disponuje silnějším zdrojem, v tomto případě silnější proudovou norou (anglicky *Sink Input*). Na sběrnici je přítomna logická nula, napěťová úroveň je tedy nízká. Tato část přenosu může být za jistých podmínek ztrátová (*slave* vysílá log0) proto v případě nízkopříkonového režimu musí být kladen důraz na vyváženost kompromisního řešení mezi rychlostí přenosu, odolností proti zarušení a spotřebou energie. Pokud *slave* vysílá log1, zůstává sběrnice beze změny (LL – *Low Level*).

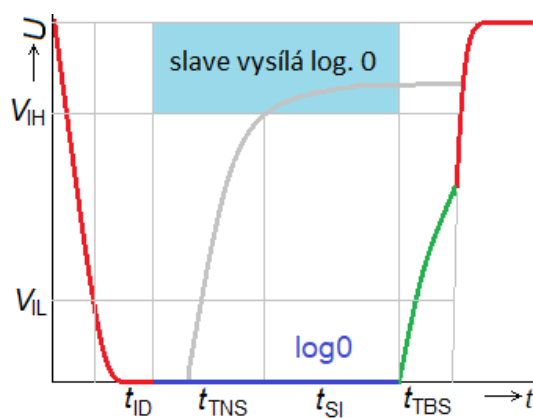
Citlivou částí toho segmentu, která musí být precizně řešena, je doba vysílání log0 modulem *slave*. Spínač, způsobující sepnutí sběrnice k nulové úrovni (HL) musí být schopen sepnutí vyššího proudu nežli spínač uvádějící ji v prvku *master* do stavu logické 1 (SL). Zároveň musí být schopen na konci datového bloku, tedy na začátku napájecího bloku (TL – *Top Level*) okamžitého uvolnění sběrnice, neboť v tomto případě je déletrvající kolize nežádoucí. Napájecí blok je zahájen připnutím sběrnice na napájecí úroveň pomocí nejsilnějšího ze spínačů – TL, proto proti tomuto spínači je zapojen spínač HL disponující násobně nižší proudovou abilitou (17). Tato kolize může být ošetřena dvěma způsoby:

1. Spínač prvku *slave* – HL může být proudově předimenzován, musí však být zajištěno jeho předčasné vypnutí (obrázek 35).
2. Spínač prvku *slave* – HL může být navržen tak, aby dokázal sběrnici udržet ve stavu nízké úrovně v datovém bloku, ale aby nekladal příliš velkou zátěž spínači (TL) uvádějícímu v chod napájecí blok (obrázek 36).

V obou případech musí být spínač prvku slave (HL) vypnut při zahájení napájecího bloku. Tedy buď okamžik před zahájením napájecího bloku (časové řízení), nebo bezprostředně po zahájení napájecího bloku (proudové řízení). Oba uvedené způsoby disponují jinou technologií spínačů, ale také jiným způsobem ovládání.

### Prvek slave používá časově řízený HL

V nízkopříkonových systémech (LPM – *Low Power Mode*) by tato varianta mohla být upřednostněna. Spínač může být řešen tranzistorem MOSFET – N, na jehož hradlo je přivedeno napájecí napětí. Tranzistor zde pracuje v režimu spínače, jehož statické i dynamické parametry jsou dány provozními parametry tranzistoru. Pokud by takto zapojený tranzistor sepnul sběrnici na nízkou logickou úroveň a zároveň tranzistor MOSFET – P by ji sepnul na napájecí napětí, došlo by k nechtěné kolizi a k příčnému proudovému rázu odpovídající možností tranzistoru. Takový proudový ráz by téměř určitě způsobil mimoprovozní stav, popřípadě destrukci některých prvků. Proto musí být kolize řešena v modulu *slave* časovým řízením tak, že ve vhodnou dobu (před zahájením napájecího bloku) se odpojí příslušný tranzistor. Tento segment je označen **TBS** – *Bit Termination Sequence*.



**Obrázek 35:** Časový průběh vysílání log0 modulem *slave*

V případě odpojení spínače od sběrnice ještě v datovém bloku, počne napěťová úroveň stoupat jako v případě segmentu **TNS** (*Transitional State*), tedy po křivce, která je dána velikostí distribuce náboje a impedance celé komunikační soustavy. Pokud by komunikační prvek *slave* vypnul spínač příliš brzy, v době před přečtením logické úrovně sběrnice **SI** (*Sample Interval*), mohl by nárůst napětí na ní způsobit mylnou interpretaci přenosu a přečtením log1 namísto správné log0. Kolizní případ, kdy je spínač vypnut, až v bloku napájení je popsán výše. Požadavky na časovou přesnost v tomto módu jsou zcela nasnadě:

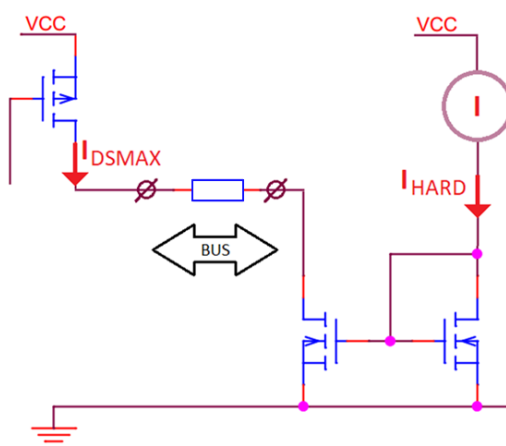


- spínač musí být vypnut až v době po přečtení stavu sběrnice,
- spínač musí být vypnut v době před zahájením napájecího bloku.

Kvantifikace časového intervalu bude popsána níže a vždy závisí na konkrétních parametrech fyzické vrstvy sběrnice, jejího provedení, její impedance, provozních požadavcích a ostatních parametrech.

### Prvek slave používá proudově dimenzovaný HL

Tato varianta ovládání sběrnice počítá s krátkodobou kolizí spínačů HL versus TL. Z toho důvodu je nutné zajistit odpojení spínače HL v co nejkratší době, a navíc je nutné zajistit, aby krátkodobá kolize nezapříčinila mimoprovozní stav. V každém případě je kolize provázena jistým energetickým výdajem. Ten nemusí být při vhodném návrhu velký, nicméně systémy, které jsou napájeny z autonomních zdrojů (baterie, akumulátory), především miniaturních, musí být navrženy se striktním omezením redundantního nadužívání energie.



**Obrázek 36:** Proudově dimenzovaný spínač sběrnice v modulu *slave*

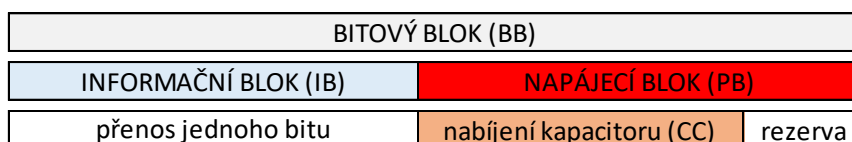
MOSFET – N v režimu saturace (modul *slave*) realizuje v případě sepnutí úroveň označenou, jako HL. To znamená, že musí být schopen, jako větší proudová nora, přitáhnout sběrnici do stavu log0 oproti tranzistoru v modulu *master* realizující log1 v datovém bloku (SL). V případě zahájení napájecí bloku *master* použije „nejtvrdší“ spínač (TL) – MOSFET-P pracující ve spínacím režimu. Po jeho sepnutí se musí sběrnice rychle přepnout do stavu log1, a navíc začít doplňovat energii odebranou během provozu informačního bloku (IB). Rychlost přepnutí, ztráta energie při kolizi (proud, čas) jsou opět řešeny na základě konkrétních požadavků fyzické vrstvy, ale také schopnosti zdroje a dalších kritérií. V praktické části práce budou kvantifikovány a budou diskutovány jednotlivé návrhové kroky.

### 3.3.2 Napájecí blok

Nezbytná „zpožďující“ součást komunikačního procesu musí mít délku potřebnou pro pokrytí energetické ztráty způsobené prodlevou datového bloku. Napájecí blok **PB** je možné rozdělit na dva segmenty – viz obrázek 37:

- doba doplnění energie do zálohovacího kapacitoru – CC,
- časová rezerva.

Jelikož okamžitá spotřeba jednotlivých komunikujících prvků se velmi obtížně kvantifikuje, a to z důvodů variabilního ovládání různých zátěží a jejich přechodových jevů, musí se stanovit maximální možná spotřeba konkrétního modulu. Tato veličina by neměla být překročena, nicméně mělo by se počítat s jistou energetickou rezervou.



**Obrázek 37:** Schéma přenosu jednoho bitu, fáze napájecího bloku

Délka napájecího bloku je ovlivněna velikostí kapacitoru v detektoru maxima, spotřebou a proudovou schopností napáječe v modulu *master*. Základním požadavkem je udržení minimální napěťové úrovně kapacitoru. Během informačního bloku nesmí klesnout napájecí napětí modulu *slave* pod stanovenou mez. Délka napájecího bloku musí být dostatečná, aby sběrnice byla schopna po tuto dobu dodat energii do všech záložních kapacitorů, přičemž zároveň napájí všechny připojené prvky. Nabíjecí dobu kapacitoru lze vypočítat poměrně přesně. Pokud jsou známy energetické výdaje během datového bloku je znám i pokles napájecího napětí během této doby. Pokud je známa proudová schopnost napájecího zdroje, není problém stanovit dobu potřebnou k doplnění energie do kapacitoru. Nicméně časová rezerva je vždy potřebná k bezproblémovému provozu. Potřebné výpočty všech zmíněných veličin budou popsány v konkrétních návrzích hybridní sběrnice.

## 4 Návrh hybridní sběrnice

Prerekvizita návrhu nové hybridní sběrnice byla předložena v minulých kapitolách, nyní se disertační práce bude zabývat samotným návrhem sběrnice pracující ve dvou energetických režimech: nízkopříkonový režim a výkonový režim. Nežli budou uvedeny jednotlivé kroky návrhu je potřeba zmínit obecnou teorii v oblastech bezprostředně souvisejících s návrhem, popřípadě podrobněji představit použité obvodové celky v navrhované sběrnici.

### 4.1 Obvodové principy použité v budiči sběrnice

Nyní budou popsány a diskutovány obvodové principy tvořící nedílnou součást systému zodpovědného za provoz sběrnice, anebo ty, jejichž popis je nutný pro komplexní vysvětlení problematiky některých součástí jejího provozu. Budou zde rovněž uvedeny parametry součástek a obecně součástí obvodů, jejich kvantitativní vyjádření a odvození.

Nejdříve budou popsány a vyjádřeny vlastnosti kapacitoru, tvořícího záložní zdroj energie napájeného modulu v době, kdy sběrnice přenáší datovou informaci. Budou odvozeny vztahy okamžitého průběhu jeho napětí a proudu v časové rovině, které jsou nutné pro výpočet dynamických vlastností sběrnice. Dále budou popsány obvody, které mohou být součástí, ať už základních či doplňkových obvodů tvořících vysílací a přijímající moduly sběrnice. Tyto níže popsané obvody pracují vesměs v proudovém režimu s využitím základní vlastnosti tranzistoru, coby řízeného proudového zdroje. Budou zde popsány možnosti realizace špičkového detektoru, tvořícího nedílnou součást podřízených modulů sběrnice. Dále zde bude diskutováno použití proudového zrcadla, jako základního stavebního prvku pro mikroelektronický návrh budičů sběrnice. Závěrem této podkapitoly bude předložen a popsán obvod upínače sběrnice.

#### 4.1.1 Elektrické parametry kapacitoru

Hybridní sběrnice přenášející informace a zároveň napájecí energii jedním přenosovým kanálem, musí umožňovat zálohování energie po dobu, kdy na sběrnici nebude přítomné napájecí napětí, tedy v době přenosu bitové informace (IB). Nejvhodnějším zdrojem pro tyto účely je kapacitor. Ten se sice vyznačuje poměrně malou objemovou kapacitou ve srovnání s chemickými zdroji energie, nicméně v krátkodobém intervalu zálohování energie (v řádech mikrosekund až milisekund) disponuje veškerými výhodami, zejména:

- neomezený počet vybíjecích cyklů,
- nulový svodový proud,
- bezeztrátová distribuce náboje,
- nulový sériový odpor atd.

Výše uvedenými výhodami se kapacitor výrazně odlišuje od elektrochemických zdrojů. Tyto se naopak vyznačují pouze násobně vyšší objemovou kapacitou, přičemž ostatní parametry mají pro krátkodobé zálohování energie nevhodné. Pokud je náboj distribuován z / do kapacitoru, tak paradoxně vznikají ztráty (při nevhodném návrhu dokonce limitující až destrukční), prostřednictvím samotných distributorů – rezistivitou spínačů či vedení, nikoliv kapacitory. Jak bylo uvedeno, tyto jsou schopny pojmout a vydat náboj bezeztrátově. Bezeztrátová alokace náboje je odvozena jak od nulové svodové vodivosti, tak od nulového vstupního odporu. To jsou vlastnosti, které předurčují kapacitory pro zálohování energie v periodických systémech s velmi malou periodou nabíjení/vybíjení – nejčastěji v rozmezí řádu milisekund až nanosekund [42][43].

### **Napětí a proudy na kapacitoru**

Kapacitor se řadí mezi lineární prvky, tzn., že jejich základní parametr (kapacita –  $C$  [F]), je nezávislý na procházejícím proudu či napětí a vyznačuje se lineární voltampérovou charakteristikou. Zároveň se jedná o setrvačný prvek, tedy vztah mezi napětím a proudem je závislý na době vzájemného působení. Z tohoto důvodu se kapacitor může nacházet ve dvou stavech:

- ustálený stav – napětí a proud se v čase nemění,
- přechodový stav – napětí a proud se v čase mění.

Linearitu u kapacitoru si lze obtížněji představit nežli například u rezistoru, protože drtivá většina průběhů napětí či proudu na něm nemá lineární, ale exponenciální charakter. Tento paradoxní fakt je způsoben typem použitých generátorů energie napájejících kapacitory. Základní vlastnost kapacitoru je dána vztahem popisujícím poměr mezi velikostí napětí, proudu, kapacitou, nábojem a dobou působení změny.

$$Q = It = CU. \quad (20)$$

Vztah (20) nám říká, že velikost náboje je dána množstvím proudu procházejícího kapacitorem za určitou dobu anebo kapacitou kapacitoru a jeho napětím. První část vztahu slouží v soustavě SI k definici proudu, tedy:

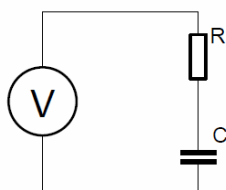
$$I = \frac{dQ}{dt}. \quad (21)$$

Ze vztahu (20) můžeme vyjádřit obvodové parametry, jako:

$$U = \frac{I_{konst}t}{C}, \quad (22)$$

kteřé dokazují lineární voltampérovou charakteristiku kapacitoru, neboť  $C$  je konstantní, čas  $t$  je ekvidistantně se měnící parametr funkce a pokud  $I$  je konstantní, celá funkce má lineární průběh.

Ve většině případů není, coby generátorů, užíváno proudových zdrojů, nýbrž napětových. Ideální napětový zdroj nelze principiálně přímo připojit ke kapacitoru, vždy pouze prostřednictvím vložené rezistivity. Generátor je tedy většinou reprezentován jako ideální napětový zdroj s vloženým sériovým odporem (odpor přívodu, vnitřní odpor zdroje, vývody kapacitoru, sériový rezistor, ...). Vytvořený zdroj ovšem není konstantní, ale je silně závislý na zátěži – tvořenou kapacitorem. Z analytického hlediska tvoří vložený rezistor zátěž kapacitoru a ideální zdroj napětí realizuje statický napětový offset obvodu (v případě vybíjení má nulovou hodnotu).



**Obrázek 38:** Schéma RC obvodu

Z obrázku 38 je patrné, že při platnosti Kirchhoffova zákona je součet napětí na kapacitoru a napětí na rezistoru roven napětí zdroje. Protože pro infinitezimální přírůstek napětí na kapacitoru platí:

$$\Delta U_C = \frac{I\Delta t}{C} \rightarrow du_c = \frac{i}{C} dt, \quad (23)$$

při platnosti:

$$u_C = U - u_R, \quad (24)$$

je zřejmé, že čím, jak narůstá napětí na kapacitoru, se zmenšuje napětí na rezistoru. V důsledku čehož se zmenšuje proud dodávající náboj do kapacitoru. Proto nemůže být proud tekoucí kapacitorem konstantní. Zde je předložen důkaz o nelinearitě průběhu na kapacitoru při odporové zátěži.

$$U = u_C + Ri, \quad (25)$$

kde okamžitý proud je dán základním vztahem kapacitoru:

$$i = \frac{du_C}{dt}. \quad (26)$$

Potom dosazením lze získat vztah:

$$u_C = U - RC \frac{du_C}{dt}. \quad (27)$$

Řešením homogenní rovnice:

$$u_C + RC \frac{du_C}{dt} = 0, \quad (28)$$

lze získat kořen rovnice:

$$\lambda = -\frac{1}{RC}, \quad (29)$$

$$\lambda RC + 1 = 0. \quad (30)$$

Obecné řešení výsledné rovnice potom nabývá tvaru:

$$u_C = k \cdot e^{\frac{-t}{RC}}. \quad (31)$$

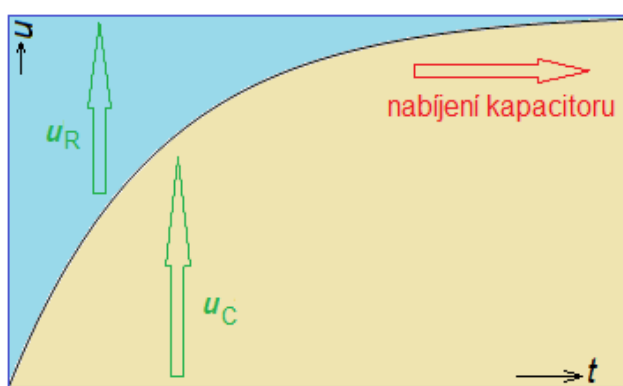
Konečně vyřešením vztahu metodou variace konstant lze získat známý vztah popisující průběh napětí na kapacitoru modifikovaný sériovým kapacitorem.

$$u_C = U \left( 1 - e^{\frac{-t}{RC}} \right). \quad (32)$$

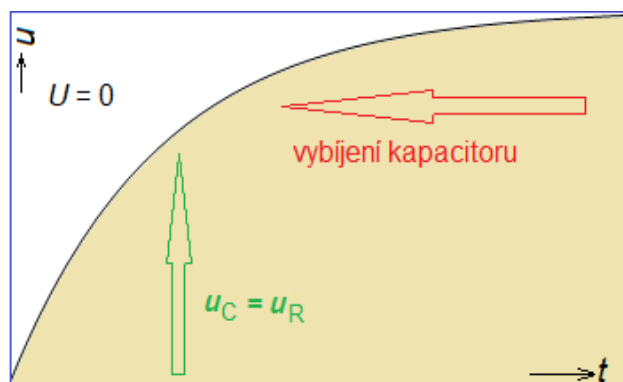
Pokud se kapacitor nabíjí konstantním proudem, je jeho časový nárůst napětí lineární. Pokud je zdroj proudu tvořen napěťovým zdrojem se sériovým odporem, je časový přírůstek napětí na kapacitoru exponenciální. Přičemž parametr exponenciály je právě odpor napájecího generátoru. Pro okamžité napětí na rezistoru platí:

$$u_R = U - u_C = Ue^{\frac{-t}{RC}}. \quad (33)$$

Výše uvedené vztahy počítají s ideálními počátečními podmínkami, tedy: inicializace přechodového stavu probíhá v nulovém čase ( $t_0 = 0$ ) a napětí na kapacitoru v témže okamžiku je rovno nule ( $u_{C0} = 0$ ).



**Obrázek 39:** Průběh nabíjení kapacitoru prostřednictvím odporu



**Obrázek 40:** Průběh vybíjení kapacitoru do odporu

Na obrázcích 39 a 40 je graficky vyjádřena platnost Kirchoffova zákona o součtu napětí ve smyčce, tedy platnost:  $U = u_C + u_R$ .



**Obrázek 41:** Dílčí etapy nabíjení kapacitoru prostřednictvím odporu

Kapacitor jako záloha energie v podřízených modulech navrhované sběrnice ovšem nenabývá těchto krajních podmínek, ale většinou setrvává na určité hladině napětí, přičemž je důležité její kolísání. Z toho důvodu musí být zaveden výpočet nabíjení a vybíjení kapacitoru v různou dobu s různými počátečními podmínkami. Ty se mohou stanovit následujícím způsobem:

$$u_{C2} - u_{C1} = U \left( 1 - e^{-\frac{t2}{RC}} \right) - U \left( 1 - e^{-\frac{t1}{RC}} \right) = U \left( e^{-\frac{t1}{RC}} - e^{-\frac{t2}{RC}} \right). \quad (34)$$

V případě vybíjení kapacitoru má samozřejmě zdroj  $V$  (z obrázku 38) nulovou hodnotu napětí, ale předpokladem je, že napětí  $u_C$  v čase  $t_0$  je nenulové, tedy je na něj v čase  $t_0$  napětí  $U$ , a zároveň je  $u_C$  rovno napětí  $u_R$  – viz obrázek 40. Pak lze dle vztahu (34) vyjádřit závislost okamžitého napětí kapacitoru při jeho vybíjení:

$$u_{C2} - u_{C1} = u_{C2} \left( e^{-\frac{t1}{RC}} - e^{-\frac{t2}{RC}} \right), \quad (35)$$

$$u_C = U_{C(t0)} - U_{C(t0)} \left( 1 - e^{-\frac{t}{RC}} \right) = U_{C(t0)} e^{-\frac{t}{RC}}.$$

Na obrázku 41 je ukázka grafu nabíjení kapacitoru prostřednictvím odporu a jsou zde vyjádřeny dílčí hodnoty okamžitých napětí v závislosti na časové ose.

Proudové poměry v kýženém obvodu lze snadno vypočítat pomocí Ohmova zákona při znalosti okamžitého napětí na rezistoru. Jeho voltampérová charakteristika je lineární, nevyznačuje se setrvačností, proto proud procházející celým obvodem můžeme vypočítat jako:

$$i = \frac{u_R}{R} \rightarrow i = \frac{U}{R} e^{-\frac{t}{RC}} = I e^{-\frac{t}{RC}}. \quad (36)$$



Vybíjecí proud nabývá stejné velikosti, ale konvenčně se označuje opačným znaménkem. Je to způsobeno rovností  $u_C = u_R$  při vybíjení. Průběh proudu není příliš důležitý, spíše jsou důležité jeho maximální hodnoty z důvodu nastavení pracovních podmínek nabíjecích obvodů. Pro stanovení maximálního proudu kapacitorem (na hraně přechodového jevu) lze předpokládat, že kapacitor se v okamžik zahájení přechodového stavu chová jako ideální zdroj napětí, proto platí:

$$I_{max} = \frac{U - U_{C(t0)}}{R}. \quad (37)$$

Současná kapitola je použita z důvodu detailního popisu průběhu napětí na kapacitoru, protože v dalších částech práce bude nutné vyjádřit dobu nabití kapacitoru a taktéž velikost zvlnění napětí s vyjádřením krajních limitů časových závislostí [42][43].

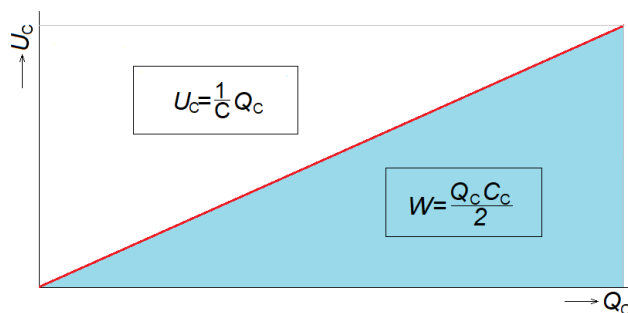
### Energie uložená v kapacitoru

Kapacitor coby akumulací prvek je schopen přijímat náboj. Jelikož se vlivem přijatého množství náboje zvyšuje jeho napětí, je vcelku snadné prokázat jeho schopnost akumulace energie. Tato je bezeztrátově uložena mezi jeho elektrodami a v případě připojení zátěže mezi jeho elektrody je kapacitor schopen tuto energii opět bezeztrátově vydat. Kapacitor se totiž může svými vlastnostmi velmi podstatně přibližovat ideálnímu zdroji. Opět analogicky se stavem nabíjení kapacitoru lze tvrdit, že uchování energie v kapacitoru je proces bezeztrátový, ovšem ztráty vznikají při distribuci energie a to obousměrně – viz například paradox dvou kapacitorů [44].

Pro odvození energetických poměrů lze vycházet ze základního vztahu mezi nábojem uloženým v kapacitoru a jeho napětím. Přičemž konstanta úměrnosti je tvořena převrácenou hodnotou jeho kapacity:

$$u_C = \frac{1}{C} Q_C, \quad (38)$$

ve kterém konstanta  $1/C$  je parametrem lineární funkce. Jelikož množství energie uložené v kapacitoru závisí na celkovém množství dodaného náboje, ne jenom na jeho okamžité hodnotě, můžeme energii vypočítat jako plochu ohraničenou v horizontálním směru množstvím dodaného náboje a ve vertikálním směru velikostí napětí.



**Obrázek 42:** Plocha závislosti napětí kapacitoru na uloženém náboji určující uloženou energii

Z obrázku 42 je patrný vztah mezi energií uloženou v kapacitoru, nábojem a napětím. Jedná se o následující vztah:

$$W = \frac{Q_c U_c}{2}. \quad (39)$$

Z obrázku vyplývá, že přírůstek energie má lineární charakter v nábojové oblasti. Tedy nezáleží na časové závislosti disipace náboje v kapacitoru. Pokud bychom potřebovali kvantifikovat přírůstek energie v časové oblasti, museli bychom provést integraci dodaného výkonu v čase. Tato závislost by opět odpovídala způsobu distribuce náboje, viz kapitola o nabíjení kapacitoru. Protože na energii můžeme pohlížet ze statického hlediska (tedy v určitém okamžiku disponuje kapacitor určitým množstvím energie), můžeme dynamické energetické poměry získat výpočtem okamžitého napětí v určitém čase, které podrobíme vztahu vycházejícího z (39):

$$W = \frac{C U_c^2}{2}. \quad (40)$$

Proto pokles, popřípadě nárůst energie na kapacitoru můžeme vyjádřit pomocí dynamických okamžitých hodnot napětí na kapacitoru jako rozdíl mezi počáteční a koncovou hodnotou energie na kapacitoru:

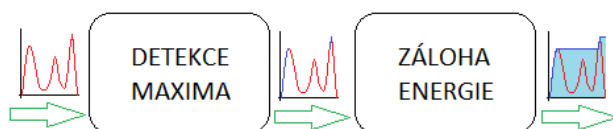
$$\Delta W = \frac{C}{2} (u_c^2(t_1) - u_c^2(t_1)). \quad (41)$$

Tato kapitola se zabývá teoretickým přenosem energie, přesněji řečeno jejím uložením v kapacitoru. Získané hodnoty jsou poměrně přesné, nepřesnost je daná způsobem distribuce energie. Spotřebiče se připojují ke zdroji prostřednictvím polovodičových spínacích prvků, jejichž dynamické, popřípadě i statické parametry rozhodně nejsou ideální. Spínače, nejčastěji

realizované prostřednictvím tranzistorů MOS, musí v okamžiku sepnutí dodat určité množství náboje, jehož charakteristika v časové oblasti je závislá na množství dodaného proudu do řídicí elektrody. Navíc se tento spínač vykazuje určitým odporem v sepnutém stavu. Proto lze konstatovat, že distribuce energie z/do kapacitorů vykazuje určitý stupeň ztrátovosti – v dynamické ale i statické oblasti. Vyjádření vzniklých ztrát se většinou neřeší v obecné rovině, ale provádí se výpočet pro konkrétní případy, tedy pro konkrétní spínací prvky, jejich budiče a pro konkrétní vedení [42][43].

#### 4.1.2 Detektor maxima

Asi výstižnější název této kapitoly by zněl: „*Detektor vrcholové hodnoty*“, nicméně tato terminologie není tak často užívána. Uvádí se rovněž název: „*Špičkový detektor*“ (anglicky *Peak Detector*). Ačkoliv všechny výrazy označují totéž, nejpoužívanější je výraz použitý v nadpisu. Proto v následujícím textu bude užíván, popřípadě pouze jeho zkrácený tvar: *detektor*. Sběrnice používá pro přenos napájecí energie a přenos dat jeden signálový a jeden zemní vodič, stejně jako je tomu u 1-Wire. Zatímco tam se hovoří o přenosu dat, při kterém jsou parazitně napájeny prvky komunikující po sběrnici, popisovaná hybridní sběrnice primárně napájí všechny své členy a zároveň přenáší informaci. Jelikož v okamžiku elementárního přenosu informace (IB) není dodávána napájecí energie, musí pokrýt dobu přenosu informace zálohovací zdroj (= kapacitor), který je oddělen od hybridní sběrnice právě detektorem maxima. Princip jeho činnosti je patrný z obrázku 43.



**Obrázek 43:** Ideový diagram detektoru maximální hodnoty

Detektor propustí proud pouze v jednom směru, tudíž napájí záložní zdroj energie, ale nepodílí se na jeho vybíjení, naopak zamezuje jeho vybíjení prostřednictvím sběrnice. Pokud je na straně zátěže ustálená spotřeba, teče detektorem konstantní proud a napětí na záložním zdroji spolu se zátěží má ustálenou hodnotu. Pokud je přerušena dodávka elektrické energie, potažmo poklesne napětí na vstupu detektoru, přestává jím téct proud a v tomtéž okamžiku je potřebný proud do zátěže dodáván záložním zdrojem. Napětí na zátěži klesá v závislosti na jejím charakteru:

- lineárně (zátěž typu proudová nora),
- exponenciálně (rezistivní zátěž).

V okamžiku zvýšení vstupního napětí nad napětí záložního zdroje, začne opět téci detektorem proud, jehož velikost je součtem nabíjecího proudu tohoto zdroje a proudu tekoucímu do zátěže. Napětí na zátěži roste opět v souvislosti s charakterem zátěže v kombinaci s proudovou abilitou vstupního zdroje.

Pro účely teoretického rozboru detektoru můžeme stanovit jeho dvě provozní etapy. Přičemž perioda alternací jednotlivých etap parametrizuje zvlnění napětí na zátěži.

1. vstupní zdroj nedodává napájecí energii – ta je do zátěže dodávána záložním zdrojem,
2. vstupní zdroj dodává napájecí energii – ta se podílí na napájení zátěže a zároveň na napájení záložního zdroje.

V další části textu jsou popsány možné druhy realizací detektoru. Způsobů existuje několik, výběr vhodné varianty závisí především na velikosti odebíraného proudu, výše napěťové ztráty detektoru, jednoduchosti řešení, ceně atp. Jednotlivé realizace budou podrobněji popsány a budou vyjádřeny jejich klíčové parametry.

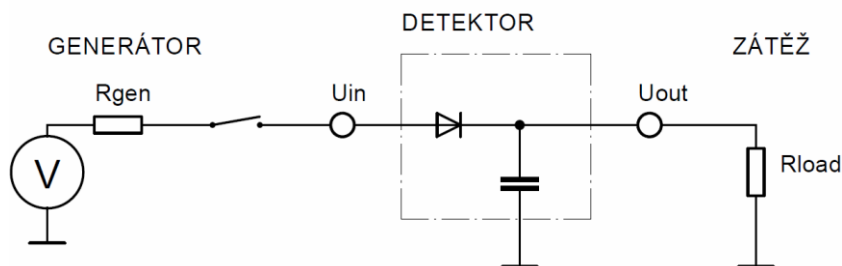
**Poznámka:** Detektor maxima z principu odděluje dvě napěťové soustavy. V případě bezproblémového provozu nepoklesne napětí na detektoru pod hranici provozních parametrů. Všechny níže popsané druhy realizací počítají s provozními podmínkami, tedy napětí na výstupní straně nepoklesne pod minimální úroveň. V opačném případě lze počítat s určitou prodlevou náběhu napětí na patřičnou provozní úroveň. Tento jev ideálně nastane na počátku interakce – spojení dvou navzájem závislých energetických soustav.

## Diodový detektor

Nejjednodušší variantou představující popisovaný detektor je bezesporu kombinace diody a kapacitoru (obrázek 44). Dioda představuje jednosměrnou proudovou propust a kapacitor zálohu energie. Není zde zapotřebí žádného vnějšího řídicího signálu, součástky pracují ve svém základním módu. V podstatě ostatní detektory jsou deriváty tohoto obvodu, potlačující níže uvedenou nevýhodu diody.

Každá polovodičová dioda se vyznačuje určitou velikostí hladiny napětí v propustném směru  $U_F$ , které může způsobovat dva provozní problémy:

- úbytek napětí na zátěži,
- provozní výkonové ztráty.



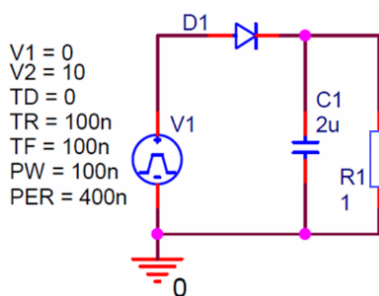
**Obrázek 44:** Princip detektoru maxima

V prvním případě může pokles napětí způsobit vybočení z provozních podmínek. Samozřejmě lze zvolit diodu s nejnižším napětím v propustném směru – například Schottkyho diodu, nicméně v důsledku snižování kýženého napětí se zvyšuje schopnost „prosakování“ (anglicky: *Reverse Leakage Current*  $I_R$ ). Tento jev způsobuje propustnost proudu v závěrném směru, což v tomto případě zapříčiní rychlejší vybíjení kapacitoru prostřednictvím detektoru do sběrnice.

Další, ovšem odlišný problém spojený s diodovým detektorem, spočívá při velkém proudovém odběru. Výkonové ztráty způsobené napětím  $U_F$  lze vyjádřit vztahem:

$$P = U_F I_F, \quad (42)$$

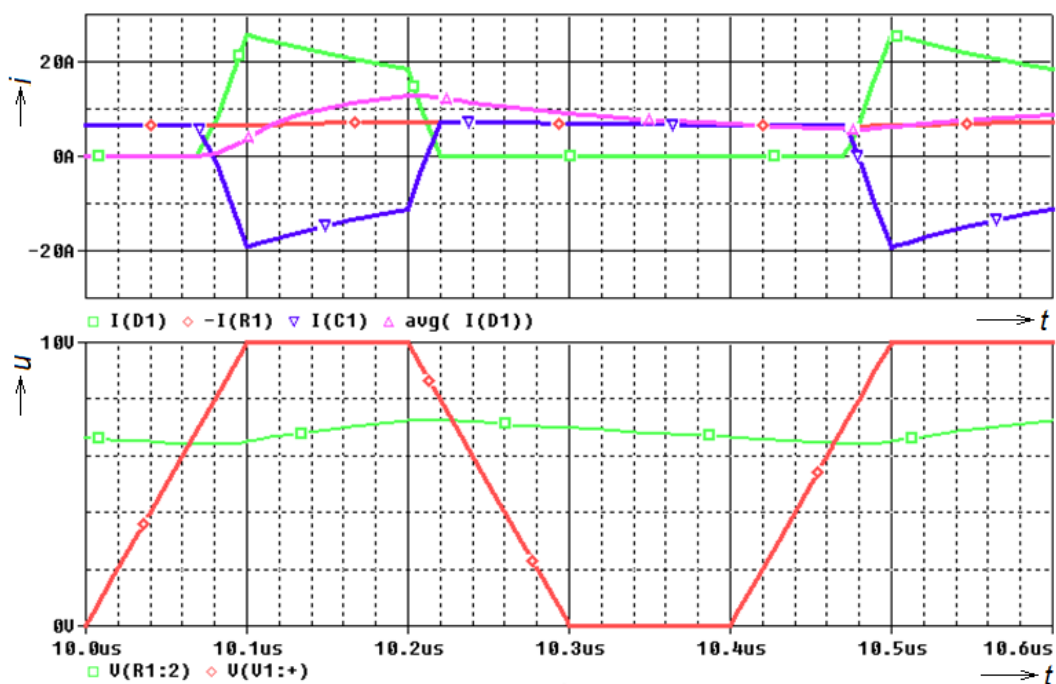
přičemž napětí  $U_F$  je závislé na protékajícím proudu  $I_F$ . Při proudu okolo hodnoty několika ampérů, dosahuje disipace výkonu na přechodu k jednotkám wattů, což způsobuje zahřívání jak samotné diody, tak zvyšování provozní teploty celého zařízení.



**Obrázek 45:** Schéma detektoru maxima pro časovou analýzu

Na obrázku 45 je znázorněno schéma pro simulační profil v časové oblasti. Vstupní napětí detektoru pulsuje mezi nulou a 10 V. Detektor je tvořen diodou, zálohu energie představuje kapacitor o hodnotě 2  $\mu\text{F}$  napájející zátěž o velikosti 1  $\Omega$ . Obrázek 46 představuje graf závislosti vstupních a výstupních veličin proudu a napětí na tomto elementárním detektoru. Z grafu vyplývá pokles napětí na výstupní části detektoru způsobený bariérovým napětím v propustném směru  $U_F$ . Pro simulační účely byla zvolena nízká hodnota rezistoru v zátěži, která způsobí

poměrně značný proudový odběr, jehož střední hodnota odpovídá poměru mezi vstupním napětím a odporem v zátěži. V okamžiku aktivní vstupní části musí zdroj dodat proud nejen do zátěže, ale také doplnit chybějící náboj do záložního kapacitoru. Vzhledem k absenci jakéhokoliv aktivního spínacího procesu (tedy absenci spínacích ztrát), bude střední hodnota ztrátového výkonu na diodě rovna čtverci stejnosměrné hodnoty vstupního napětí děleného odporem zátěže.



**Obrázek 46:** Časový průběh napětí a proudu na detektoru maxima

Z výše uvedených důvodů je možné použití diodového detektoru pouze v případech, kdy obvod neovlivní:

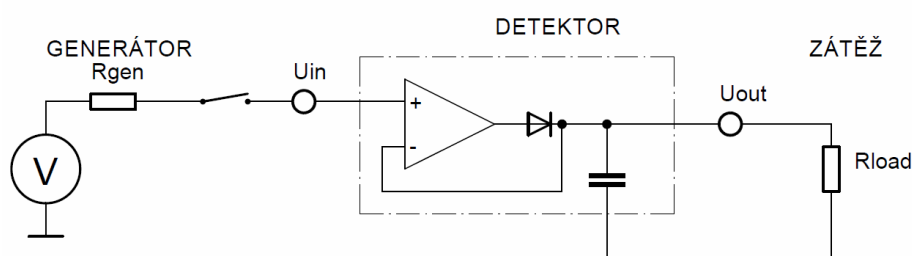
- úbytek napětí v propustném směru  $U_F$  (od 0,1 V) – v závislosti na technologii a odběru proudu,
- výkonové ztráty způsobené vyšším odběrem – nad 1 A.

V ostatních případech je nutná eliminace napětí v propustném směru a jeho korekce na nulovou hodnotu. Tím se rovněž potlačí výkonové ztráty vlivem vyššího odběru proudu.

Dalším problémem diodového detektoru je jeho zotavovací doba  $t_{rr}$ . Ta způsobí krátkodobý průchod proudu v závěrném směru diody bezprostředně po změně polarizace. Po tuto dobu je vybíjen záložní kapacitor prostřednictvím zdroje LL v modulu *master*. Při nevhodném návrhu (dlouhá  $t_{rr}$ ) může docházet k předčasnému vybití kapacitoru, a navíc při dlouhém vedení zatíženém indukčností mohou být generovány negativní impulsy (podkmity) v modulu *master*.

### Detektor řízený operačním zesilovačem

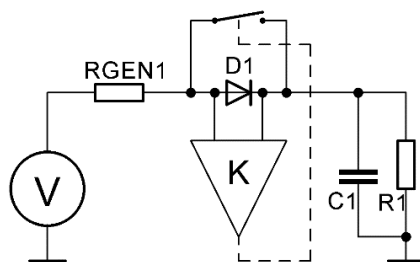
Na obrázku 47 je nakreslen kompletní řetězec ideálního detektoru maxima, někdy označovaného jako „*ideální dioda*“. Tento pojem obecně platí pro všechny dále uvedené obvody. Zapojení s operačním zesilovačem může sloužit jenom při velmi malých proudových odběrech, což je ve většině aplikací nedostačující. Proto je zde uvedeno pouze jako zobecnění ideového návrhu. Operační zesilovač se snaží nastavit takovou úroveň výstupního napětí, aby oba vstupy byly v rovnováze, tedy bylo mezi nimi nulové napětí.



**Obrázek 47:** Schéma detektoru maxima řízeného operačním zesilovačem (ideální dioda)

Eliminaci napěťového offsetu  $U_F$  jednoduchého diodového detektoru lze realizovat ideálnějšími prostředky, například spínačem tvořeným tranzistorem MOSFET. Mezi výstupní a vstupní stranou probíhá komparace (ať napěťová, či proudová) a po jejím vyhodnocení je tranzistor sepnut, popřípadě rozepnut. Tedy dodává do záložního kapacitoru a do zátěže téměř veškerou energii ze zdroje, popřípadě napájení ze zdroje je odpojeno, a dodávku energie do zátěže realizuje kapacitor.

V další části textu budou popsány řízené detektory, jejichž efektivita je odvislá od způsobu detekce a také od parametrů spínačů. Obvody se liší způsobem detekce, tedy měření vzájemného vztahu mezi vstupní a výstupní částí detektoru (komparace). Jako spínač lze využít tranzistor MOSFET. Ten je z principu obousměrný, tedy v sepnutém stavu je schopen přenášet proud ve směru *source* – *drain* i naopak. Nesymetrie (řídící) vznikne připojením substrátu (*bulk*) na jednu z uvedených elektrod, a navíc je tímto připojením vytvořena vnitřní dioda (*Body Diode*). Někdy se tato dioda označuje pojmem „parazitní“ – což není přesné a výstižné pojmenování.



**Obrázek 48:** Schéma reálného detektoru maxima řízeného operačním zesilovačem

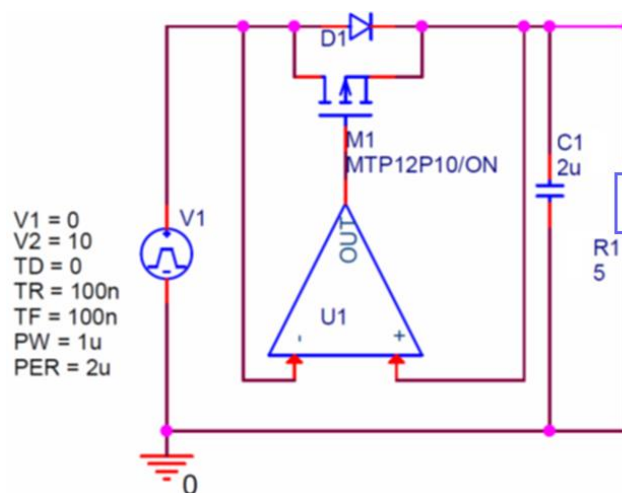
Tranzistor MOSFET jako spínač se většinou zapojuje tak, aby vnitřní dioda byla do obvodu zapojena v závěrném směru a byla schopna propustit pouze malý zbytkový reversní proud. V případě řízeného detektoru je tranzistor MOS vždy zapojen do obvodu tak, aby byl schopen propouštět proud prostřednictvím vnitřní diody. Bez řízení se tranzistor chová jako obyčejný diodový detektor i se svými „necnostmi“. Řízením se dosáhne přemostění vnitřní diody (viz obrázek 48), a tím eliminace její napěťové bariéry. Provoz všech níže uvedených detektorů tedy lze rozdělit do dvou fází:

- v případě dodávky energie ze zdroje do zátěže je aktivován tranzistor MOS přemostřující vnitřní diodu (přemostěný diodový detektor),
- v případě dodávky energie ze záložního zdroje je tranzistor rozepnut – vnitřní dioda je v závěrném směru (standardní diodový detektor).

Řízený detektor maxima tedy snižuje napěťový offset diody, a tím také výkonovou ztrátu, nicméně tímto navíc vzniká úskalí s přesností a rychlostí řízení.

Na obrázku 49 je znázorněno schéma napěťově řízeného detektoru prostřednictvím tranzistoru MOSFET-P. Jeho ovládání je v dikci operačního zesilovače s asymetrickým napájením zapojeného bez zpětné vazby – tedy s nespojitým výstupem. Toto zapojení komparuje napětí mezi vstupem a výstupem tranzistoru a v případě vyššího napětí na vstupu díky neinvertujícímu vstupu zajišťuje připojení *gate* tranzistoru na potenciál blízký nulové větve napáječe – tranzistor je sepnut. Pokud napětí vstupního generátoru poklesne pod úroveň výstupní části tranzistoru, je tranzistor skokově připojen na vysoký potenciál, tedy je rozepnut. Obvod je nadále spojen vnitřní diodou, ta je však vzhledem k současné orientaci zdroje připojena v závěrném směru.



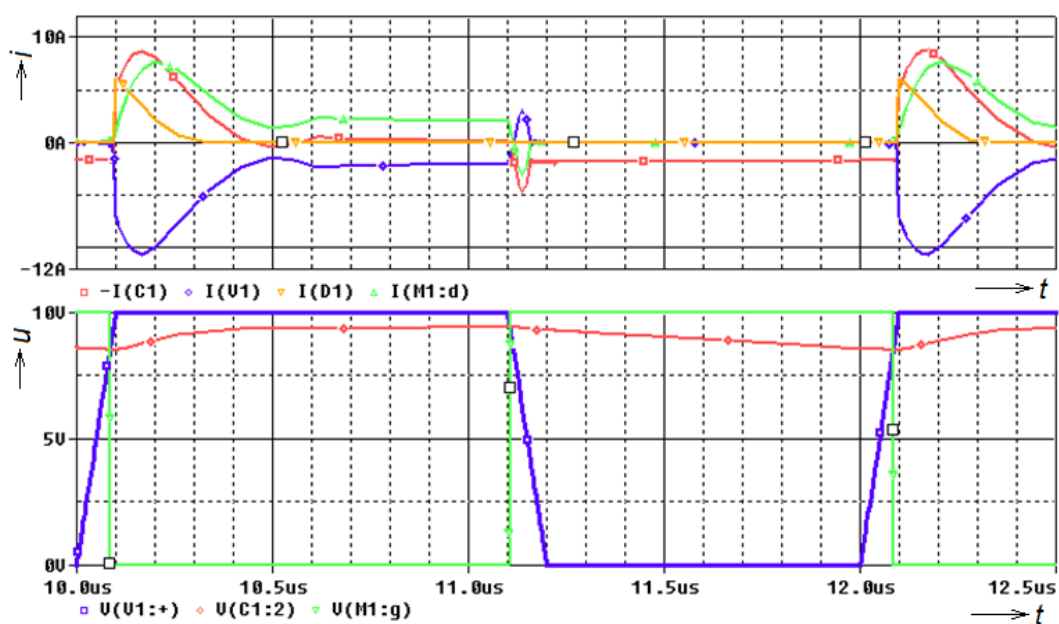


**Obrázek 49:** Schéma detektoru maxima řízeného operačním zesilovačem pro časovou analýzu

Uvedené zapojení disponuje značnou řadou výhod, jako jsou:

- velká strmost přepínání řídicího signálu tranzistoru – podle velikosti zisku operačního zesilovače,
- minimální offset mezi vstupním a výstupním napětím tranzistoru – podle offsetu operačního zesilovače.

Uvedené výhody jsou závislé na použitém operačním zesilovači. S tím souvisí také jeho negativní vlivy, například doba přeběhu, malá proudová zatížitelnost atd. Z toho vyplývá, že klíčové vlastnosti popsaného detektoru jsou odvozeny od kombinace parametrů operačního zesilovače a tranzistoru.

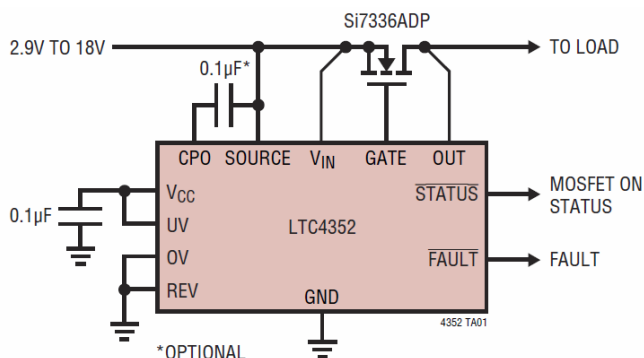


**Obrázek 50:** Průběh časové analýzy na detektoru maxima řízeného operačním zesilovačem

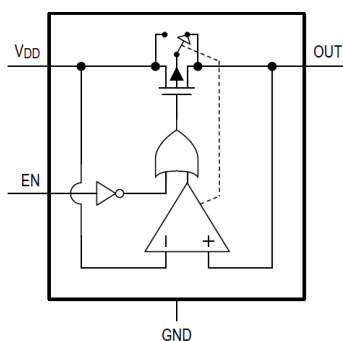
Průběh simulace na obrázku 50 ukazuje velkou strmost řízení přepínání detektoru, velmi nízký napěťový úbytek na detektoru, ale rovněž špičkové zatížení obvodu v okamžiku přepínání tranzistoru. Z průběhu je rovněž patrná velmi rychlá reakce na změnu stavu mezi vstupem a výstupem tranzistoru. Precizním výběrem vhodných součástek a obvodů lze docílit kompromisu mezi výše uvedenými parametry a dosáhnout tak mnohem lepších parametrů než v případě použití obyčejného diodového detektoru.

### Detektory v provedení komerčních integrovaných obvodů

Další možností, jak efektivně realizovat bezeztrátový detektor neboli ideální diodu, je použití stávajících integrovaných obvodů. Existuje celá řada výrobců zabývajících se touto problematikou, mezi nejvýznamnější však patří společnosti Analog Devices, *Linear Technology*, popř. *Maxim Integrated*. Jedná se o poměrně robustní, efektivní, leckdy však nákladná řešení. Integrované obvody buďto mají spínací tranzistor zabudován, nebo používají externí. Moduly s externími tranzistory je možné samozřejmě zatěžovat větším proudem a jsou tedy variabilnější.



**Obrázek 51:** Katalogové zapojení integrovaného obvodu LTC4352 realizujícího ideální diodu. Převzato z [45]



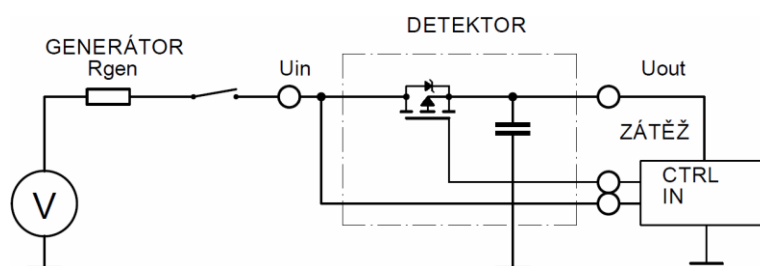
**Obrázek 52:** Katalogové zapojení integrovaného obvodu MAX40200 realizujícího ideální diodu. Převzato z [46]

Na obrázcích 51 a 52 jsou ukázány integrované obvody umožňující vytvoření ideální diody se spotřebou 5 A (LTC4352) a 1 A (MAX40200). Díky poměrně široké nabídce řešení od různých výrobců lze tímto způsobem efektivně realizovat obvodový návrh.

Tato podkapitola je vložena pro doplnění portfolia možných řešení. Ve většině případů stojí konstruktér před dilematem: Jaké nejvhodnější řešení použít? Přičemž výsledkem či syntézou možných řešení je téměř vždy určitý kompromis sdružující nejvýhodnější řešení.

### Detektor programově řízený

Nabízené řešení se vymyká dosud probraným řízeným detektorům, přičemž rozdíl spočívá v autonomii řízení. Dosud popisované detektory pracovaly autonomně, samy vyhodnocovaly nutnost posílení diody bez znalosti systémových požadavků. Následující řešení spočívá v úvaze, že podřízený systém (modul *slave*) zná systémové požadavky, a navíc je orientován v okamžité spotřebě systému. V klidu, nebo na začátku interakce je použit pouze diodový detektor. Na základě přenosu informací a také na základě snímání stavu sběrnice (na obrázku 53 signál  $U_{in}$ ) podřízený modul rozhodne, zda neposílit detektor sepnutím spínacího tranzistoru. Kritický není proces sepnutí tranzistoru, ale jeho rozpojení. Jak bylo uvedeno výše, tranzistor pracuje v obousměrném režimu, proto opožděné rozepnutí tranzistoru má za následek vybíjení záložního kapacitoru směrem do vstupní části sběrnice – což je dost nežádoucí jev. Zmíněná nesynchronizace může vést ke zkrácení doby zálohování, a tím k poklesu napájecího napětí pod provozní dobu vedoucí k až restartu modulu, popřípadě ke vzniku podkmitů sběrnice v modulu *master*.

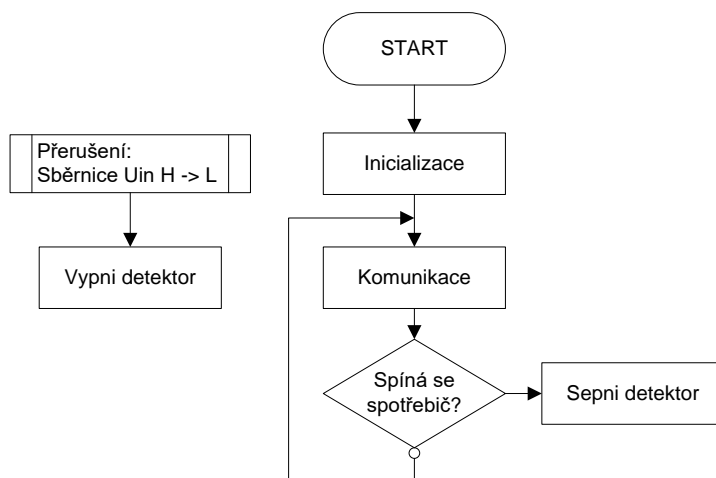


**Obrázek 53:** Schéma detektoru maxima systémově řízeného

Vzhledem k univerzálnosti výše popsaných obvodů detektoru, nelze v tomto případě stanovit přesný způsob řízení tranzistoru. Vždy záleží na provozu systému. V podstatě je nutné dodržovat dvě zásady:

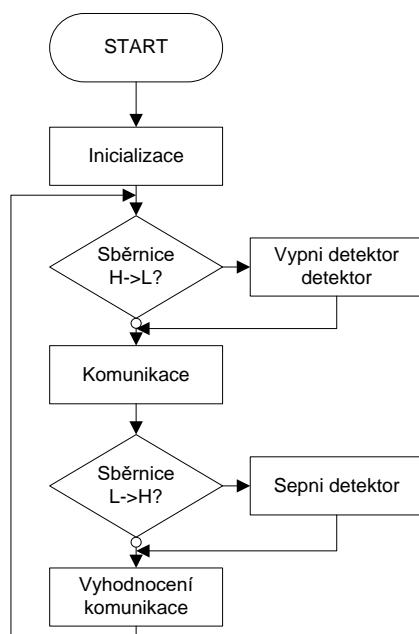
1. Sepnout tranzistor v okamžiku, kdy napěťový pokles na diodě ohrožuje provozní parametry (napěťové, tepelné).

2. Vypnout tranzistor v okamžiku, kdy záložní kapacitor začne napájet modul *slave*.



**Obrázek 54:** Vývojový diagram řízení detektoru maxima dle potřeby zátěže

Mezi těmito dvěma krajními stavy se lze pohybovat různými způsoby. Jeden je naznačen vývojovým diagramem na obrázku 54. Posilovací tranzistor detektoru je sepnut pouze v okamžiku, kdy podřazený modul sepne spotřebič. Proudový nárůst může být velký až natolik, že by mohl zapříčinit snížení napětí pod udržitelnou mez, anebo by nárůst ztrátového výkonu mohl vést k destrukci části zařízení. Tranzistor je sepnut až do okamžiku, kdy vstupní generátor přestává prostřednictvím sběrnice dodávat patřičnou energii do záložního kapacitoru. Pokud by tranzistor otevíral oboustranně cestu směrem i ke generátoru, zapříčinilo by to otočení směru vstupního proudu a ten by započal tento kapacitor vybíjet.

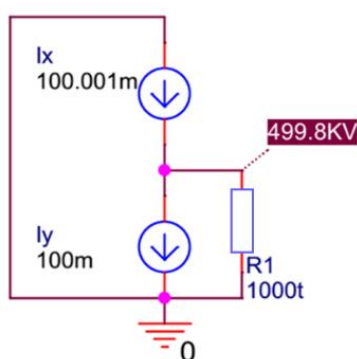


**Obrázek 55:** Vývojový diagram řízení detektoru maxima dle potřeb komunikace

Další vývojový diagram – viz obrázek 55, ukazuje jiný způsob řízení posilovacího tranzistoru. Podřízený modul snímá celý periodický komunikační proces a v okamžiku zahájení informačního bloku (IB) vypíná posilovací tranzistor. V průběhu přenosu informace je tranzistor odpojen a modul jej připojí až v okamžiku ukončení procesu přenosu informace a zahájení napájení (PB).

### 4.1.3 Proudový komparátor

Jestliže se spojí do série výstupy proudových zrcadel tak aby jejich výstupní proudy byly souhlasné, docílíme komparace vstupních proudů zrcadel s napětovým výstupem. Výstupy zrcadel vytvoří aktivní dělič, jehož hodnota může alternovat mezi maximální, či minimální úrovní. *Nespojitý* výstup je reakcí na *spojitý* vstupní signál. Analogicky si lze tuto situaci představit jako sériové spojení dvou zdrojů proudu – což v ideálním případě není možné. Na obrázku 56 je tato „kacířská“ situace doplněna bočником o nereálné hodnotě. Z odhadovaného průběhu lze usoudit, že vytvořený aktivní dělič se bude pohybovat v mezních hodnotách i při minimálním rozdílu proudů.

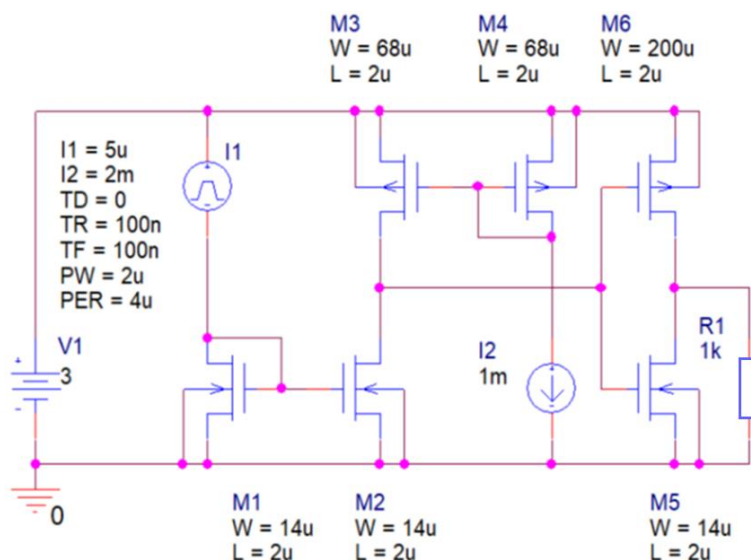


**Obrázek 56:** Rozvážení shodnosti proudových zdrojů v řádech mA

*Jakkoliv malé rozvážení zdrojů proudu, vyvolá limitu rozdílu napětí na nich blížící se k nekonečnu.*

Navrhovaná hybridní sběrnice bude přepínat svou úroveň na podobném principu, tedy úrovně budou přepínány proudově dimenzovanými spínači. Zamezí se tím kolizním stavům a bude umožněno přepínat stav sběrnice pomocí různých proudových módů. Pokud by se výstup dimenzovaného proudového zdroje pohyboval po zatěžovací odporové přímce, jeho napětový výstup by se nacházel v rozmezí napájecího napětí. Tento stav je nežádoucí (nepřepíná logické úrovně). Z toho důvodu není vhodné použití odporů jako dimenzovaných spínačů. Ty by tvořily napětový dělič, jehož úroveň nelze označit jako logickou či digitální. Pokud bude zátěž

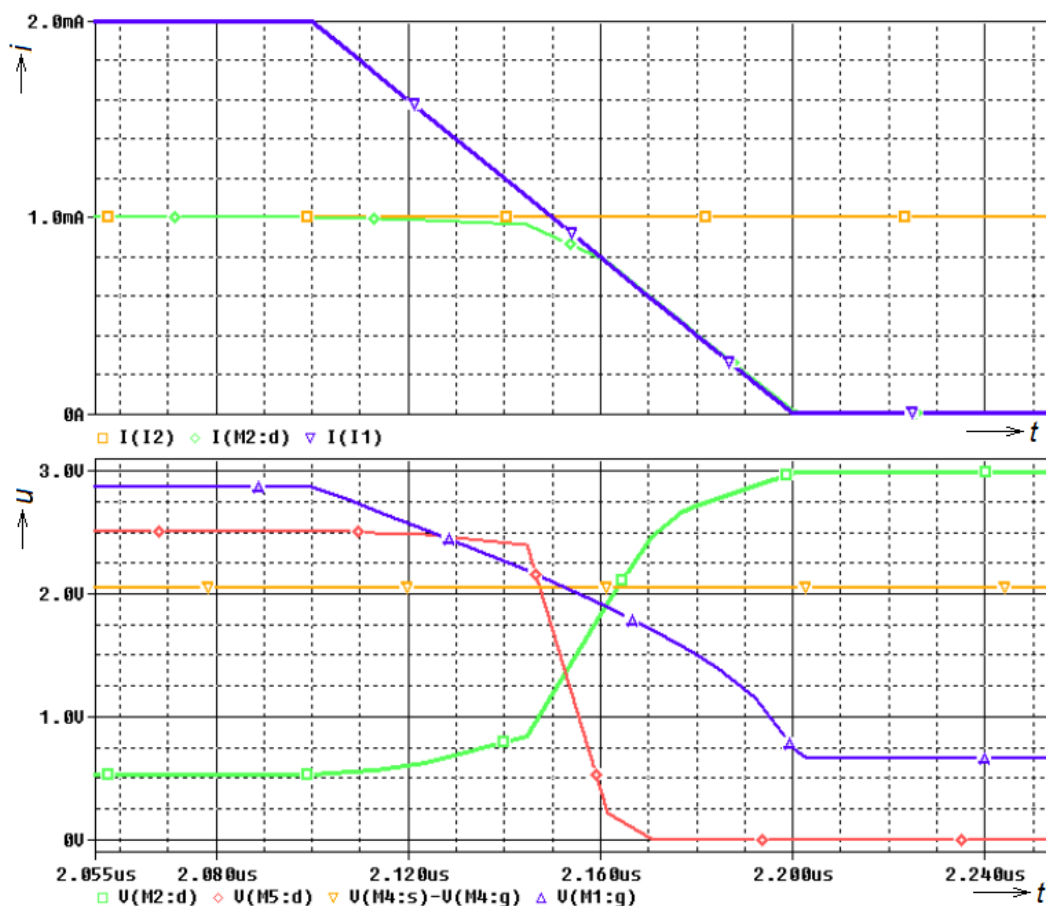
proudového zrcadla aktivní, tvořená recipročními výstupy, bude se úroveň výstupu přepínat v mezních stavech napájecího napětí. Přenos takového obvodu by se dal nazvat odporový ( $A = u/i$ ) a nabývá vysokých hodnot.



**Obrázek 57:** Schéma zapojení proudového komparátoru

Tranzistor lze považovat za velmi jednoduchý a poměrně přesný regulátor proudu, který je omezen svým napájecím napětím. Pomocí něj lze aplikovat výše uvedený poznatek v jednoduchém zapojení na obrázku 57 [47].

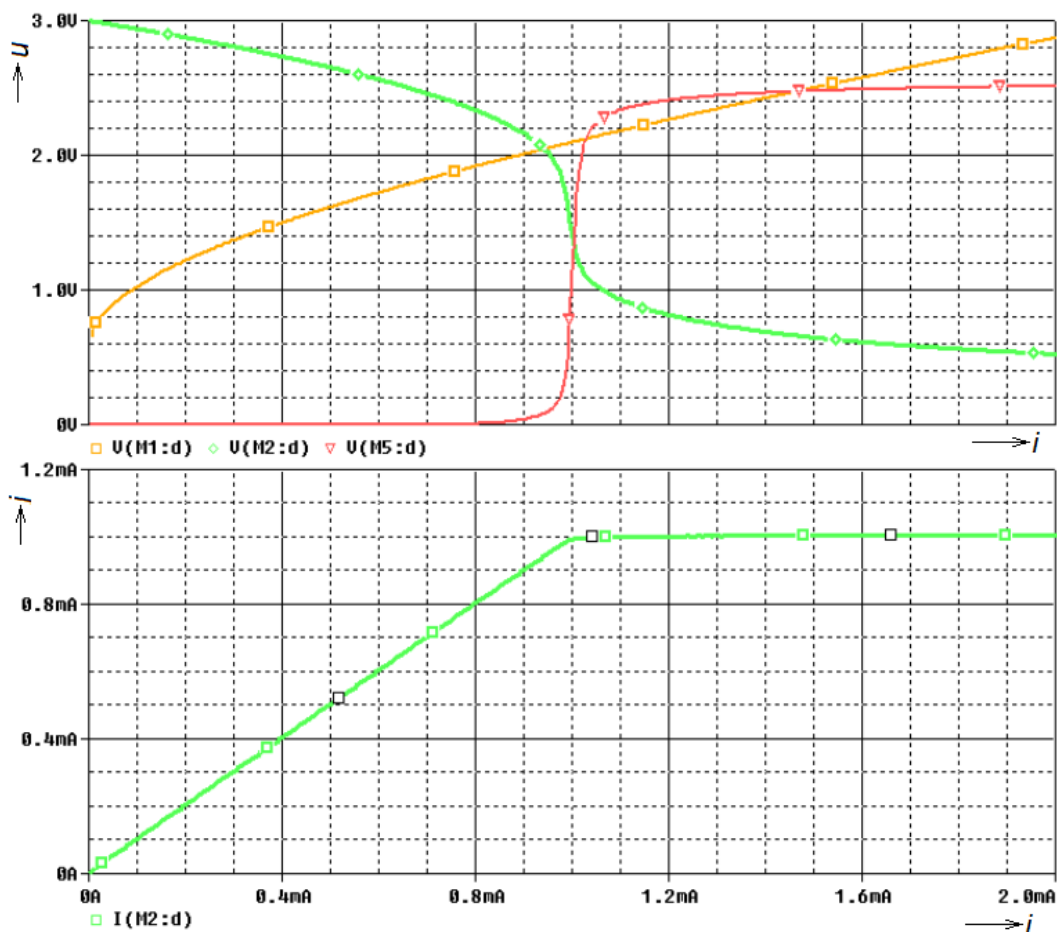
Toto zapojení by se poeticky mohlo nazvat: „Souboj proudových zrcadel“. Termín to není technický, nicméně výstižný. Do série nejsou zapojeny zdroje proudu, ale výstupy proudových zrcadel, které kopírují vstupní proudy zdrojů I1 a I2. Jakmile jsou oba proudové zdroje, byť minimálně rozváženy, je napětí mezi výstupy (*drainy*) tranzistorů M2 a M3 v extrémní hodnotě. Záleží na polarizaci rozvážení. Uvedený obvod pracuje jako komparátor proudu s napěťovým výstupem. Pro posílení obvodu a také z důvodu nemožnosti nerovnoměrného zatížení výstupu, je na výstup zařazen CMOS invertor – M5 a M6. Ten zatíží výstup proudového komparátoru pouze dynamicky (náboj  $Q_{GS}$ ), což vede ke zpomalení překlápění komparátoru, v ustáleném stavu je však výstup komparátoru oddělen. Oddělení v tomto případě je nezbytné, jelikož by se jakákoliv reálná zátěž podílela na přenosu, byla by tedy zpětnovazebně zavedena na vstup.



**Obrázek 58:** Časová analýza proudového komparátoru

Pro simulovaný obvod jsou použity modely tranzistoru s technologickými hodnotami:  $K_{PN} = 136 \cdot 10^{-6} \text{ V}^{-2} \cdot \text{A}$  a  $K_{PP} = 29 \cdot 10^{-6} \text{ V}^{-2} \cdot \text{A}$ . Napětí  $V_{T0} = 0,6 \text{ V}$  je pro oba tranzistory shodné. Jelikož zapojení neslouží k přesnému proudovému přenosu, není řešena v tomto případě modulační délka kanálu, není řešen rozptyl vlivem teploty a také vliv matchingu proudového zrcadla.

Obvod proudového komparátoru je rozdělen na dvě části – vstupní a výstupní. Zatímco výstupní CMOS invertor pracuje v oblasti odporového módu, proudový komparátor (vstupní) se pohybuje výhradně v režimu saturace. Z toho důvodu není svodový proud výstupu špičkový jako u klasického CMOS invertoru, ale je vždy omezen na hodnotu menšího z proudů tekoucích do komparátoru.



**Obrázek 59:** Stejnoseměrná analýza proudového komparátoru

V otázce strmosti výstupu při přechodu mezi oběma krajními stavy, dosahují CMOS invertory (odporový režim) lepších výsledků, neboť přijímají o mnoho více náboje, než je potřeba k přepnutí výstupu. To vede k maximální technologické rychlosti. Naopak výstupní struktura proudového komparátoru pracující v oblasti saturace přijímá přesné množství náboje vedoucí k přesnému řízení výstupního proudu. Tento proces je logicky pomalejší právě o rozdíl náboje, který by byl dodán navíc při řízení v odporovém režimu.

**Poznámka:** Symbol veličiny elektrického napětí je v naší zemi značen  $U$  a v anglické literatuře je značeno  $V$ . V oblasti návrhu tranzistorů je ovšem  $i$  v naší literatuře rozšířeno anglické značení, proto se v tomto případě budu držet ustálených tvarů a napěťové poměry při výpočtu budu značit  $V$ .

Vztahy pro výpočet proudového zrcadla jsou následující:

$$I_D = \frac{K_P}{2} \frac{W}{L} (V_{GS} - V_{T0})^2 \rightarrow \frac{W}{L} = \frac{2I_D}{K_P (V_{GS} - V_{T0})^2}, \quad (43)$$



kde  $K_P$  je technologická konstanta,  $W$  a  $L$  geometrické rozměry tranzistoru,  $I_D$  proud procházející výstupem tranzistoru,  $V_{GS}$  vstupní napětí tranzistoru a  $V_{T0}$  reprezentuje počáteční hodnotu řízení proudu. Ta je dána technologickými možnostmi. Stanovením minimálního výstupního proudu  $I_D = 5 \mu A$  tranzistoru pracujícího v režimu saturace ( $V_{GS} - V_{T0} > 0,1$  V) se určí podle (43) jeho geometrické rozměry:

$$\begin{aligned} \frac{W}{L_{M2}} &= \frac{2I_D}{K_P(V_{GS} - V_{T0})^2} = \frac{2.5 \cdot 10^{-6}}{136 \cdot 10^{-6}(0,1)^2} = 7,35 \approx 7, \\ \frac{W}{L_{M4}} &= \frac{2I_D}{K_P(V_{GS} - V_{T0})^2} = \frac{2.5 \cdot 10^{-6}}{29 \cdot 10^{-6}(0,1)^2} = 34,48 \approx 34. \end{aligned} \quad (44)$$

Maximální proud vstupu proudového zrcadla je dán maximálním vstupním napětím  $V_{GS}$  podle (43) – ovšem bude se zde negativně projevovat modulace délky kanálu:

$$\begin{aligned} V_{DSAT} &= V_{GS} - V_{T0} = \sqrt{\frac{2}{K_P} \frac{L}{W} I_D}, \\ V_{GS} &= \sqrt{\frac{2}{K_P} \frac{L}{W} I_D} + V_{T0}, \end{aligned} \quad (45)$$

$$\begin{aligned} I_{DM2} &= \frac{K_P}{2} \frac{W}{L} (V_{GS} - V_{T0})^2 = \frac{136 \cdot 10^{-6}}{2} 7(2,5 - 0,6)^2 \cong 1,7 \text{ mA}, \\ I_{DM4} &= \frac{K_P}{2} \frac{W}{L} (V_{GS} - V_{T0})^2 = \frac{29 \cdot 10^{-6}}{2} 34(2,5 - 0,6)^2 \cong 1,7 \text{ mA}. \end{aligned}$$

Obě zrcadla mají geometrický poměr 1:1. CMOS invertor je vypočítán pro zátěž  $I_D = 2$  mA.

$$\begin{aligned} \frac{W}{L_{M6}} &= \frac{2I_D}{K_P(V_{GS} - V_{T0})^2} = \frac{2.2 \cdot 10^{-3}}{136 \cdot 10^{-6}(3 - 0,4 - 0,6)^2} = 7,35 \approx 7, \\ \frac{W}{L_{M4}} &= \frac{2I_D}{K_P(V_{GS} - V_{T0})^2} = \frac{2.2 \cdot 10^{-3}}{29 \cdot 10^{-6}(3 - 1,2 - 0,6)^2} = 95,79 \approx 100. \end{aligned} \quad (46)$$

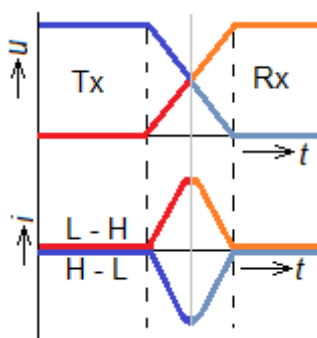
Zde se projeví modulace délky ( $L$ ) kanálu, z toho důvodu je vhodné, aby její hodnota byla vyšší. To však stojí v rozporu se snahou snížení vstupního náboje  $Q_G$  obou tranzistorů CMOS. Zvyšuje se plocha tranzistoru, která je úměrná jeho vstupní kapacitě. Nutnost dodávky vyššího množství

náboje vede díky vztahu  $Q = It$  k prodloužení spínací doby a tím ke snížení strmosti překlopení CMOS invertoru.

Uvedený obvod je poskytnut pouze jako příklad pro využití v níže popsanych modulech. Z toho důvodu zde nejsou diskutovány všechny parametry, pouze ty zásadní, které dokládají princip jeho činnosti.

#### 4.1.4 Řízený upínač sběrnice

Pokud bude přijímač vybaven obvodem, který rozpozná tendenci přepínání stavu sběrnice a je schopen přepnutí dokončit, lépe řečeno posílit, lze tento přídavný obvod nazvat upínačem. Vysílač začne sběrnici přepínat, což se děje prostřednictvím proudového nárůstu na výstupu budiče. Po překročení určité proudové bariéry se započne přepínat napěťová úroveň sběrnice. Tu přijímač zaznamená a proces dokončí tak, že ji sám upne na požadovanou úroveň. Zahájení přepnutí stavu inicializuje tedy vysílač, po překročení proudové bariéry vysílač dokončí přechod do opačného stavu tím, že upne sběrnici. Po ustálenou dobu přenosu logické informace tedy neprotéká sběrnici žádný proud, pouze v případě změny se musí vyvolat napěťová změna provázená nastavenou proudovou spotřebou – viz obrázek 60. Levá strana průběhu je inicializována vysílačem, pravá strana ukazuje zpracování sběrnice přijímačem. Červený průběh značí aktivitu vysílače při snaze přepnout sběrnici do úrovně log1 (tmavomodrá úroveň log0), oranžový průběh ukazuje převzetí arbitráže sběrnice přijímačem a dokončení stavu log1 (světlemodrý průběh log0).



**Obrázek 60:** Proudové a napěťové charakteristiky upínače sběrnice při přepínání stavů

Využití tohoto principu vede k potlačení rušení, a také ke snížení spotřeby provozu sběrnice. V případě, kdy přechodová doba hrany přenosu informace ( $t_r$ ,  $t_f$ ), je srovnatelná s dobou ustálenou ( $t_{ON}$ ,  $t_{OFF}$ ), nemá použití upínače sběrnice (dále jen upínače) z hlediska úspory elektrické energie žádný efekt. Výhoda jeho použití jako ochrany před rušivými vlivy prostředí

je však zřejmá. Vlivem výše popsaných vlivů prostředí musí být na sběrnici naindukován proud vyšší, než je velikost proudové bariéry, jinak nedojde k přepnutí jejího stavu. Pokud je tedy vliv rušení nižší než proudová bariéra přechodu, nemá rušení žádný vliv a přenášená informace není ovlivněná.

Použití uvedeného mechanismu v oblasti datového přenosu neznám, nicméně nevylučuji, že podobných principů může být někde využito. Obvody typu *Bus-Holder*, popřípadě *Bus-Keeper* jsou využity v jiných oblastech, například uvnitř digitálních obvodů jako určitý typ paměti posledního stavu na sběrnici [48]. Navíc jsou provozovány jako digitální bistabilní klopné obvody bez možnosti dimenzování proudového výstupu.

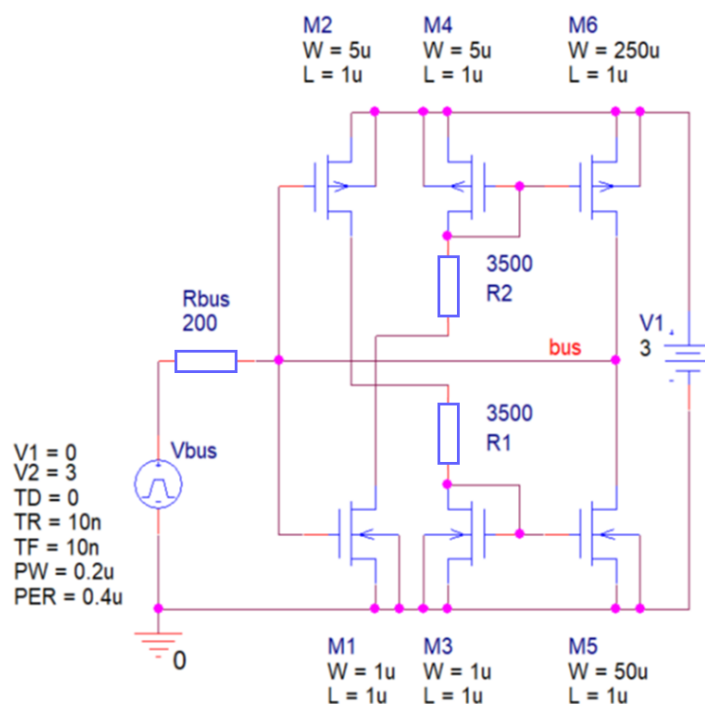
### Mikroelektronický návrh řízeného upínače sběrnice

Vysokého zisku a strmého přeběhu mezi oběma stavy v obvodu na obrázku 61 je dosaženo dvoustupňovým zapojením. Strmost výstupní větve proudového komparátoru je řízena prvním stupněm – distributorem proudu, druhý stupeň poté realizuje proudově dimenzovaný přepínač. První stupeň je zapojen jako CMOS invertor, ale výstupní část každého z komplementárních tranzistorů separátně ovládá protilehlé větve proudových zrcadel (M5 – M6). Na vstupy proudových zrcadel se tedy dostávají rozdílné hodnoty proudů, potažmo přepíná se distribuce proudu. Zatímco do jedné vstupní části proud teče, do protilehlé neteče.

Prakticky je vždy zapnut pouze jeden ze zdrojů, zatímco protilehlý je odstaven. Nedochází tedy ke komparaci výstupních zdrojů proudu, ale k přepínání nastavené velikosti toku proudu do jedné z protilehlých větví. Výstup proudového komparátoru vytváří proudovou bariéru, jejíž překročení umožní napěťový přechod do té míry, ve které začne pracovat konkrétní větev upínače. Po jejím dosažení upínač přitáhne sběrnici do opačné polohy (Anglicky *Retainer*). Vstupní komplementární MOS tranzistory (M1–M2) tvoří první **digitální** stupeň a sériové spojení proudových zdrojů tvoří druhý **analogový** stupeň systému RL (*Retainer Level*). Zapojení je proudovou paralelou ke spínacímu polomůstku. Zatímco ten je realizován napěťovým přepínačem, výstupní obvod upínače je tvořen proudovým přepínačem.

Ze schématu je patrné, že proudová selekce, neprobíhá ve výstupní části proudového komparátoru (M3–M4), ale v jeho vstupní části (M1–M2). Oba tranzistory pracující ve spínacím režimu umožňují distribuci proudu prostřednictvím rezistorů do protilehlých vstupů proudových zrcadel. Jejich výstupy jsou spojeny do série, čímž se napěťově překlápí. Použitím silné kladné zpětné vazby, tedy propojením výstupu na vstup je vytvořena obdoba bistabilního

klopného obvodu, jehož výstup (a vlivem plné kladné zpětné vazby tedy i vstup) je proudově dimenzován.



**Obrázek 61:** Schéma upínače s asymetrickým řízením

Obvod na obrázku, ale i pozdější obvody jsou simulovány pomocí stejných simulačních modelů jako obvod proudového zrcadla. Popisované obvody mají spíše demonstrativní použití, jelikož obvody v digitální technice nevyžadují precizní návrh proudových poměrů, byť se jedná o návrh proudových zrcadel. Stejně jako napěťové úrovně v digitální technice nemají přesnou úroveň, ale pouze intervaly pracovních parametrů, mají i proudové poměry zde podobný stupeň přesnosti.

Pro návrh obvodových parametrů je důležité vědět, že ustálený provoz na sběrnici není provázen proudovou spotřebou, ale řídicími obvody (svodový proud komparátoru) musí protékat proud i v ustáleném stavu. Proto je vhodné, rozdělit zrcadlo poměrově tak, aby vstupní částí tekla malý proud a výstupní částí proud požadovaný. Velikost vstupního proudu je limitována rychlostí překlopení tranzistoru, ale také velikostí poměru. Geometrický poměr mezi vstupní a výstupní částí zrcadla nelze z technologických důvodů enormně navyšovat [49][50]. Proto byl zvolen proud 200  $\mu\text{A}$ , který představuje poměr 1:50 mezi branami proudového zrcadla. Výstupní část obvodu bude tvořit 50násobný nárůst geometrie, proto je vhodné, aby vstupní část (a to i vzhledem k malému vstupnímu proudu) byla co nejmenší, tedy  $W/T = 1$ . Pro napětí  $V_{GS}$  v tranzistoru M3 platí:

$$V_{GSM3} = \sqrt{\frac{2I_D L}{K_{PN} W}} + V_{T0} = \frac{2.200 \cdot 10^{-6} \cdot 1}{136 \cdot 10^{-6} \cdot 1} = 2,315 \text{ V.} \quad (47)$$

Saturační napětí má poměrně vysokou hodnotu, což nevadí. Pracovní bod zde nebude posouván po některé ze zátěžových křivek, jak je tomu v analogové elektrotechnice zvykem, spíše bude zapínán do pracovního bodu nebo úplně vypínán. Pro výpočet proudového omezovače odporu  $R_1$  můžeme předpokládat, že vstupní CMOS M2 bude úplně sepnut, tedy bez úbytku napětí. Potom lze velikost odporu stanovit takto:

$$R_1 = \frac{V_{DD} - V_{GSM3}}{I_D} = \frac{3 - 2,315}{200 \cdot 10^{-6}} = 3450 \text{ } \Omega. \quad (48)$$

Výstupní tranzistor M5 (RL) musí mít 50 x větší poměr  $W/L$ , jeho poměr můžeme stanovit jako  $W = 50 \text{ } \mu\text{m}$  a  $L = 1 \text{ } \mu\text{m}$ . Pro výpočet horní větve (P-MOS) lze postupovat analogicky. Pro napětí platí:  $V_{GSM5} = V_{GSM4}$ , potom je nutný výpočet rozměrů tranzistoru M4.

$$\frac{W}{L}_{M4} = \frac{2I_D}{K_{PP}(V_{GS} - V_{T0})^2} = \frac{2.200 \cdot 10^{-6}}{29 \cdot 10^{-6} \cdot (2,315 - 0,6)^2} = 4,71 \approx 5. \quad (49)$$

Obdobný výpočet platí i pro rezistor  $R_2$ . I zde lze předpokládat, že CMOS tranzistor M1 bude sepnutý bez výrazného úbytku napětí. Tranzistor M6 (RL) bude mít rozměry:  $W = 250 \text{ } \mu\text{m}$  a  $L = 1 \text{ } \mu\text{m}$ . Výpočet vstupního CMOS řadiče je odvozen od zátěže. Jeho vstupní napětí se bude pohybovat okolo 3 V a bude propouštět proud o velikosti 200  $\mu\text{A}$ . Toto hodnotu lze zdvojnásobit z důvodu návrhové rezervy. V takovém případě bude rozměr tranzistoru M1 dán:

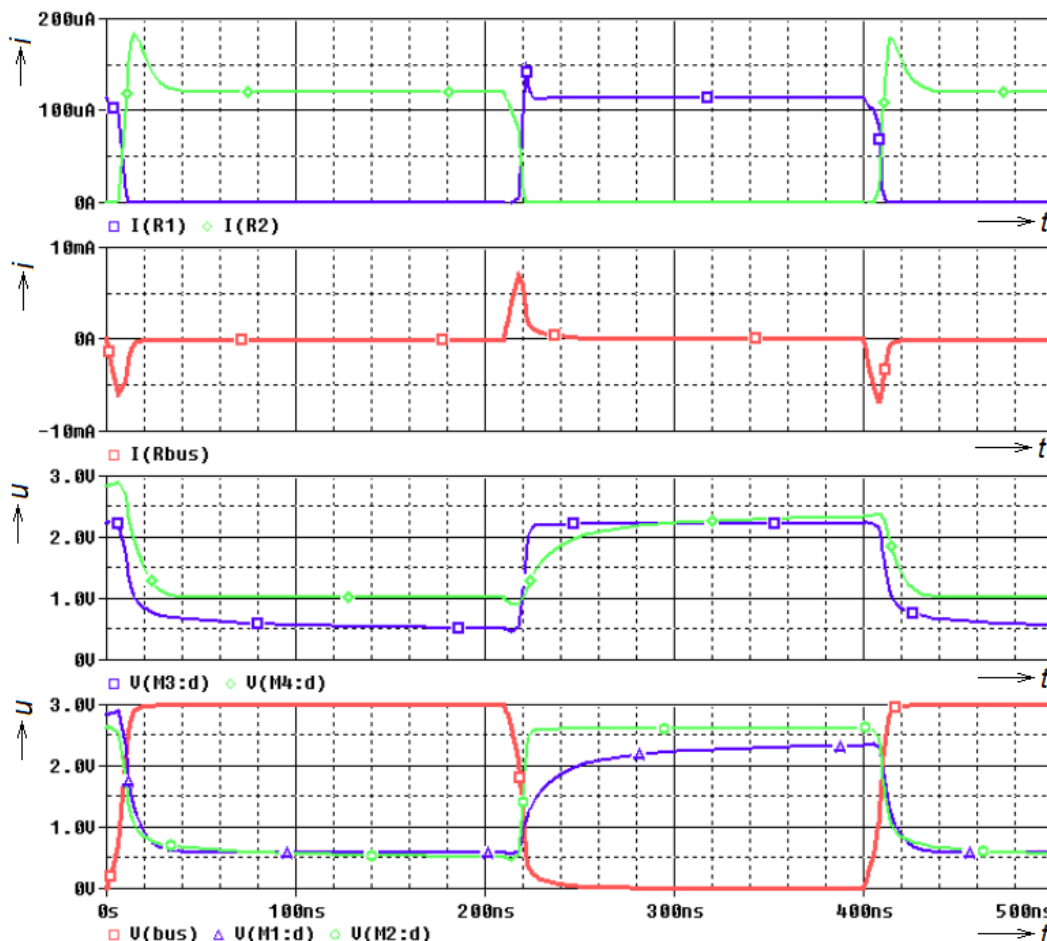
$$\frac{W}{L}_{M1} = \frac{2I_D}{K_{PN}(V_{GS} - V_{T0})^2} = \frac{2.400 \cdot 10^{-6}}{136 \cdot 10^{-6} \cdot (3 - 0,6)^2} = 1,02 \approx 1. \quad (50)$$

Pro rozměry tranzistoru M2 platí:

$$\frac{W}{L}_{M2} = \frac{2I_D}{K_{PP}(V_{GS} - V_{T0})^2} = \frac{2.400 \cdot 10^{-6}}{29 \cdot 10^{-6} \cdot (3 - 0,6)^2} = 4,78 \approx 5. \quad (51)$$

Všechny napěťové a proudové poměry a taktéž rozměry všech tranzistorů jsou postaveny na konkrétním příkladu. Je nutné uvědomit si, že výše proudové bariéry může mít 20–30 % odchylku a navíc, pokud bude bariéra překonávána zdrojem o podobné velikosti, bude náběžná, popřípadě sestupná hrana enormně prodloužená. Proto musí být na sběrnici stanoveny hranice

proudů, podobně jako jsou v digitální technice stanoveny limity napětí. Pokud bude například přijímač vybaven upínačem s bariérou o velikosti 5 mA, musí vysílač disponovat zdrojem, který je schopen dodat alespoň 10 mA, tedy alespoň dvojnásobek. Z důvodů tolerance proudových zdrojů a také z důvodu zrychlení přechodu sběrnice [51].



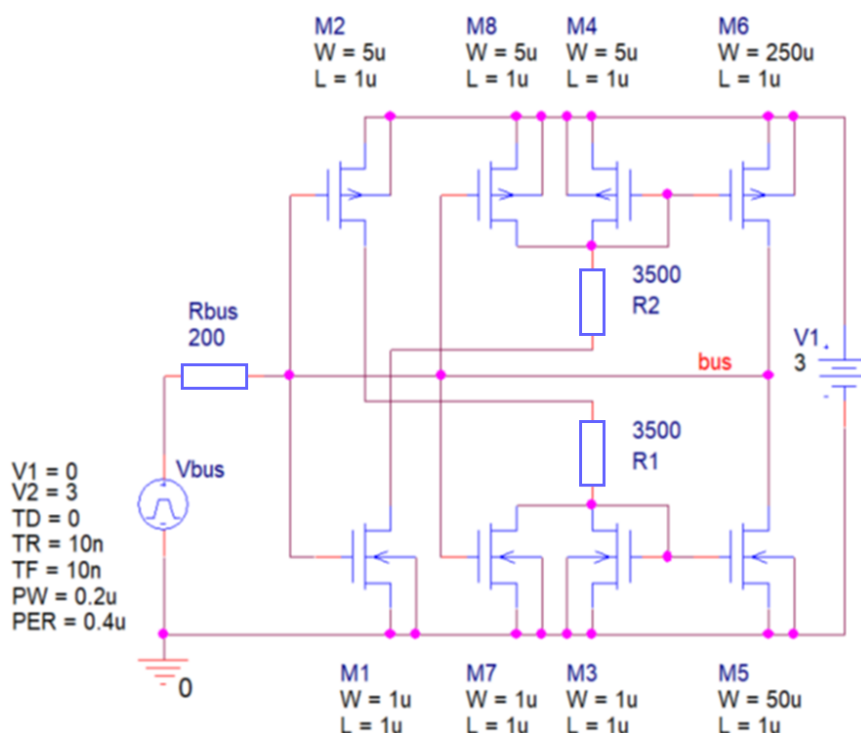
**Obrázek 62:** Časový průběh upínače s asymetrickým řízením

Časový průběh překlopení sběrnice je znázorněn na obrázku 62. Horní okno grafu ukazuje průběh řídicích proudů do vstupů proudových zrcadel, druhé okno ukazuje průběh překonání proudové bariéry (RL) vysílačem. Třetí okno znázorňuje napěťové úrovně vstupů proudových zrcadel a čtvrté okno ukazuje samotný průběh napětí na sběrnici a také výstupní napětí prvního CMOS stupně. Pro obvod jsou stanoveny tyto podmínky:

**Tabulka 5:** Vstupní podmínky obvodu upínače sběrnice

Popis	Veličina	Hodnota
Napětí na sběrnici	$U_{CC}$	0–3 V
Upínací proud – RL	$I_{RL}$	10 mA
Vstupní proud do zrcadel	$I_{IN}$	200 $\mu$ A

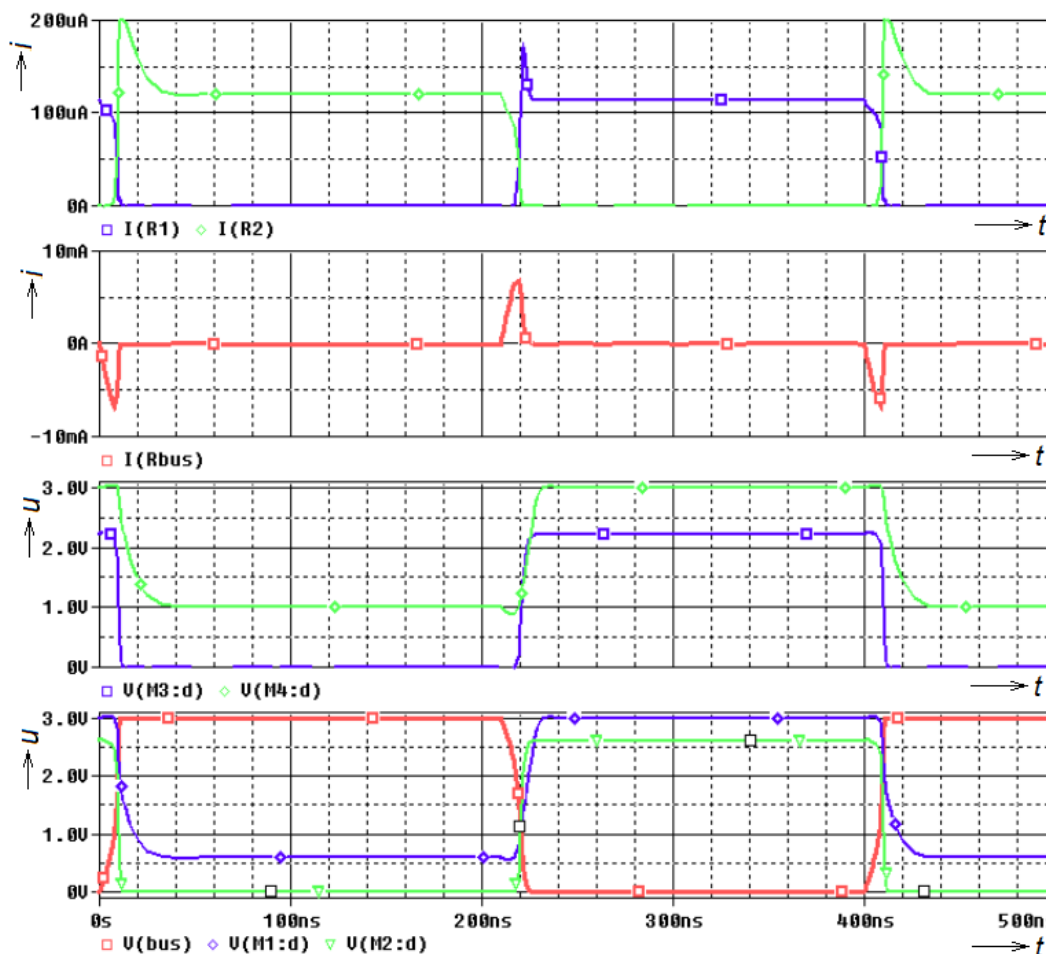
Rozšířením prvního stupně předchozího obvodu o paralelní stupeň vznikne obvod na obrázku 63. Je doplněn o další dvojici komplementárních tranzistorů M8 a M7. Vstupní čtveřice tranzistorů MOS modifikuje vstupy proudových recipročních zrcadel pracujících jako proudově dimenzované přepínače. Tranzistory v horní větvi (M2 a M8) každý svým dílem ovládají analogový vstup proudového komparátoru. Zatímco M2 spíná proudový odběr do dolní části, M8 podporuje uzavření horní větve. Opačně je tomu i u dolní větve vstupní části obvodu.



**Obrázek 63:** Schéma upínače s rozšířeným asymetrickým řízením

V tomto zapojení je dosaženo vyšší strmosti a přesnějších přechodů mezi krajními stavy sběrnice – jak vyplývá z průběhu grafů na obrázku 64. Výpočet všech obvodových parametrů je shodný s předchozím obvodem. Jedinou změnou je přidání paralelního CMOS bloku ke vstupnímu. Vzhledem k faktu, že tranzistory M7 a M8 může protékat shodný proud, jako u M1 a M2, je výpočet jejich parametrů stejný.

Přidaný další stupeň vstupní části přináší teoretické zlepšení vlastností upínače. Je otázkou, zda tento obvod přinese reálné výsledky, jelikož parametry předchozího řešení nebyly nijak zvlášť kritické. Tento obvod je zde uveden jako nejrychlejší varianta upínače sběrnice. V okamžiku, kdy řídicí proudy jsou malé, tak se neprojeví úspora v oblasti spotřeby, nicméně pokud byl řídicí proud vyšší, nasazení tohoto obvodu by bylo efektivnější.



**Obrázek 64:** Časový průběh upínače s rozšířeným asymetrickým řízením

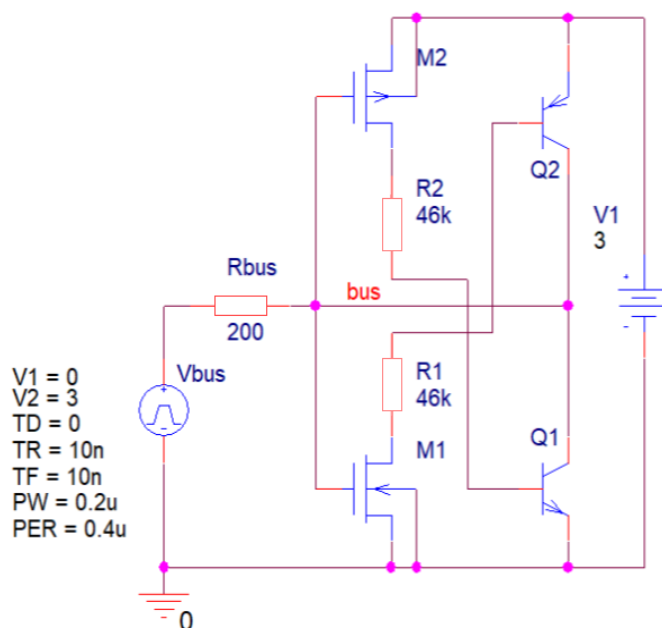
Jelikož obě varianty upínače jsou prezentovány trvalou, byť i malou spotřebou, je nasazení popisovaných obvodů do systémů s nízkou spotřebou (LPM) diskutabilní. Pro systémy v nízkém energetickém režimu je typické šetření energie v každém ohledu. Použití upínače sběrnice se vymyká uvedené zásadě, protože (za cenu určité proudové spotřeby) nabízí vyšší přenosovou rychlost, vyšší odolnost proti rušení. Přenosové systémy pracující v nízkém energetickém režimu často komunikují nižšími rychlostmi, kratšími přenosovými sběrnici, ale za to s minimální proudovou zátěží.

### Diskrétní návrh řízeného upínače sběrnice

Upínač sběrnice lze rovněž realizovat pomocí diskretních součástek. Pro tento účel je nutná změna zapojení. Mikroelektronický návrh totiž počítal s proudovými zrcadly v geometrickém poměru 1:50, což není z diskretních součástek prakticky vyrobitelné. Proudové zdroje s jistou mírou přesnosti lze vytvořit pomocí bipolárních tranzistorů. Jejich proudový zesilovací činitel



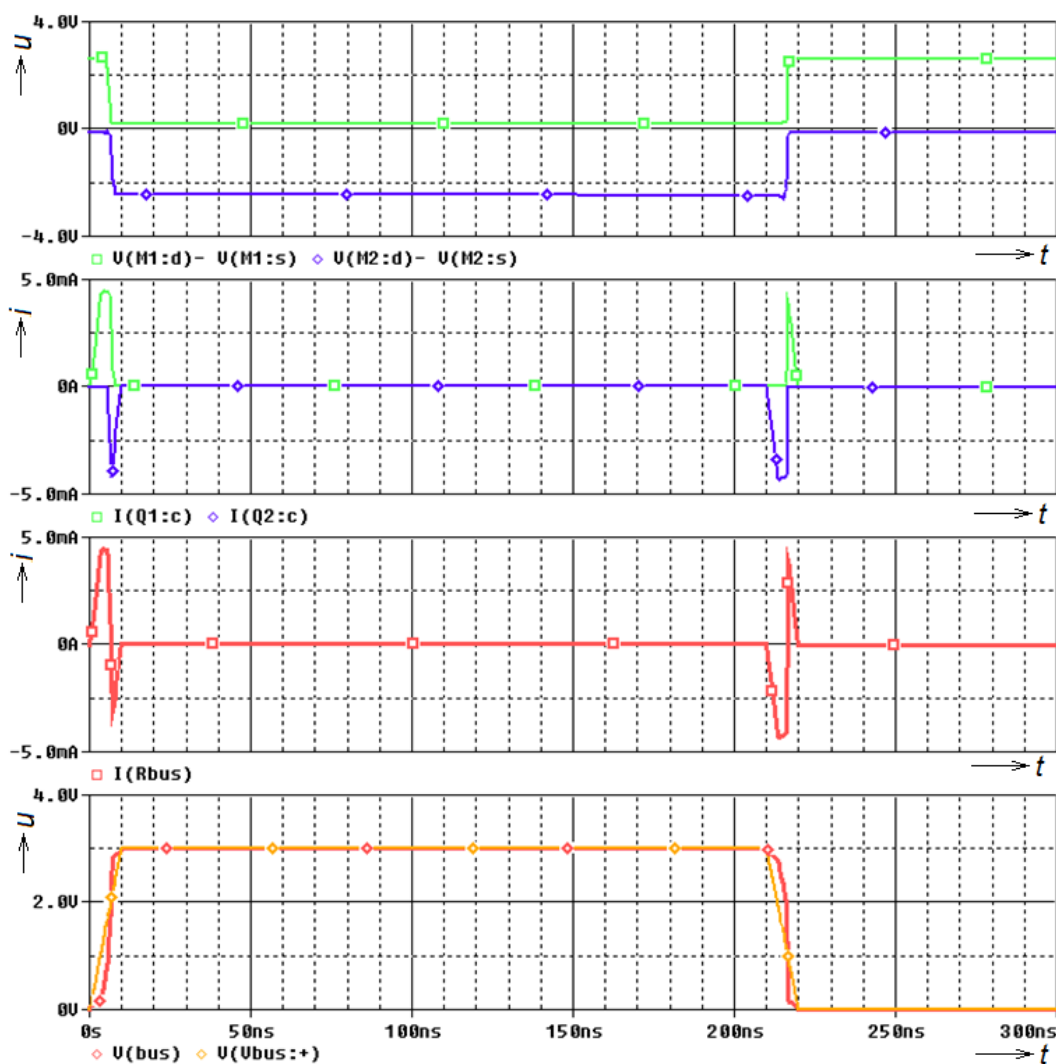
$h_{21e}$  je sice proudově či teplotně závislý, nicméně hodnoty se pohybují v toleranci, která by mohla být v digitální technice přípustná.



**Obrázek 65:** Schéma upínače sběrnice složeného z bipolárních tranzistorů

Zapojení na obrázku 65 je obdobou předchozích zapojení, rozdíl spočívá ve druhém stupni – zdroji RL. Ten je zde tvořen jednoduchým bipolárním tranzistorem, do jehož báze je dodáván proud prostřednictvím rezistoru. Na výstupu tranzistoru je velikost proudu získána násobením vstupního proudu parametrem  $h_{21e}$ . První stupeň jako distributor proudu rovněž dodává vstupní proud do jedné z protilehlých větví druhého stupně. Proud zde není násoben geometrickými vlastnostmi tranzistorů proudového zrcadla, ale základním parametrem bipolárního tranzistoru – proudovým zesilovacím činitelem  $h_{21e}$  [51].

Na obrázku 66 z grafu vyplývají podobné průběhy jako v předchozím návrhu. Proudová bariéra na sběrnice navíc oproti předešlým návrhům vykazuje zámit opačné polarity. Ten je způsoben rychlejší reakcí výstupních tranzistorů, nežli je délka přechodové hrany vysílacího budiče sběrnice. Mírná nevýhoda diskretních bipolárních tranzistorů spočívá ve vyšším saturačním napětí  $U_{CEsat}$  oproti tranzistorům unipolárním sloužícím pro spínací účely. Zvýšené napětí však není klíčové v digitální oblasti, protože návrhem lze jednoduše zařídit, aby nepřesahovalo vstupní parametry  $V_{IL}$ , nebo  $V_{IH}$  (Minimální vstupní napětí log1 a maximální vstupní napětí log0). Saturační napětí vhodných tranzistorů NPN a PNP je posunuto oproti ideálnímu spínací o hodnotu přibližně 0,1 V, což většinou nepřesahuje požadovaný interval vstupní napěťové úrovně.



**Obrázek 66:** Časový průběh upínače složeného z bipolárních tranzistorů

Vstupní člen upínače napětí může být vypočten na základě shodných kritérií s předchozím návrhem. CMOS prepínač je vždy navržen na vyšší proudovou zátěž v odporovém režimu. Výstupní proudové spínače se navrhnu podle vztahu:

$$I_{D1} = I_{B1} h_{21e} = \frac{U_{DD} - U_{BE1} - U_{DS2}}{R_2} h_{21e}. \quad (52)$$

Napětí na rezistoru  $R_2$  je dáno rozdílem napájecího napětí  $U_{DD}$ , napětím na spínacím tranzistoru M2  $U_{DS2}$  a vstupním napětím  $U_{BE1}$ . Proud procházející rezistorem  $R_2$  je násoben proudovým zesilovacím činitelem  $h_{21e}$  tranzistoru Q1. Hodnotu rezistoru při zanedbání velikosti saturačního napětí  $U_{DS2}$  lze získat jako:

$$R_2 = \frac{U_{DD} - U_{BE1}}{I_{D2}} h_{21e}. \quad (53)$$

Parametry  $U_{BE1}$  a  $h_{21e}$  se získají z průběhů grafů dodaných výrobcem tranzistoru. Pro simulaci z obrázku 65 platí následující parametry:  $h_{21e} = 100$ ,  $U_{BE} = 0,7$  V, požadovaný výstupní proud  $I_D = 5$  mA. Potom velikost rezistoru se získá vztahem:

$$R_2 = \frac{3 - 0,7}{5 \cdot 10^{-3}} 100 = 46 \text{ k}\Omega. \quad (54)$$

Pro protilehlou větev platí tytéž podmínky. Tranzistory NPN a PNP nemají většinou shodné všechny parametry, nicméně stejným postupem, tedy odečtem hodnot vstupního napětí  $U_{BE}$  a proudového zesilovacího činitele  $h_{21e}$  z grafu, lze docílit výpočtu rezistoru tvořícího vstupní proudový zdroj.

#### 4.1.5 Technologická a návrhová chyba proudových zdrojů

Při uvádění výpočtů proudových zdrojů bylo několikrát uvedeno, že výsledek je v mezích tolerance, popřípadě že není nutné uvádět podrobnější výpočty, např. uvažovat s modulací délky kanálu. Následující popis provede důkaz o předchozích tvrzeních.

Nesporná výhoda digitální techniky spočívá v nízké náročnosti kladené na úroveň signálu, na rozdíl od vysoké časové náročnosti. Toto odvětví se mohlo rozvíjet až s nástupem mikroelektronických technologií snižujících rozměry a zrychlujících přechody mezi obvodovými úseky. Protože zrychlování a miniaturizace s sebou nese snížení přesnosti v analogové oblasti, je nasazení digitální techniky v oblasti elektroniky velmi výhodné. Signál je nejčastěji rozdělen do dvou úrovní, reprezentovaných binární jedničkou a binární nulou, které se pohybují v tolerančním poli o velikosti cca 30 % maximální úrovně. Logická nula může být prezentována úrovní v tolerančním poli 0–30 % signálu a logická jednička v tolerančním poli 70–100 % signálu. Každá digitální technologie má hranice vyspecifikovány, jak na straně vysílače, tak na přijímací straně.

Nepřesnost návrhu proudových zdrojů, v mikroelektronickém i v diskrétním návrhu, je dána více faktory, z nichž některé ovlivňují přesnost zásadně, jiné méně a některé bezvýznamně. Jedná se o tyto faktory:

- teplotní závislost parametru  $K_P$  a technologický rozptyl jeho hodnoty,
- teplotní závislost napětí  $V_{T0}$  a technologický rozptyl jeho hodnoty,
- vliv modulace délky kanálu  $L$ ,
- tolerance odporu nastavujícího vstupní proud,

- nepřesnost matchingu,
- proudová a teplotní závislost proudového zesilovacího činitele  $h_{21e}$ ,
- závislost napětí v propustném směru detektoru maxima na proudu a teplotě.

### Nepřesnost matchingu

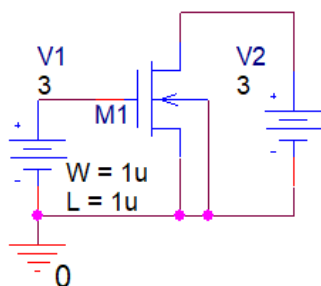
Jelikož se u návrhu budičů sběrnice nejedná o návrh integrovaného obvodu v mikroelektronické podobě, ale o předložení možných řešení, nemá cenu řešit vliv matchingu. Ten se navíc pohybuje v řádu jednotek procent a ve většině případů plně vyhovuje analogovému návrhu, není třeba jej dále řešit [49][50].

### Vliv modulace délky kanálu

Parametr určující závislost vlivu délky kanálu na napětí je značen  $\lambda$ . Tento parametr je dán souhrnem všech technologických vlivů na sklon výstupní charakteristiky. Ovlivnění proudu tranzistorem je dáno vztahem:

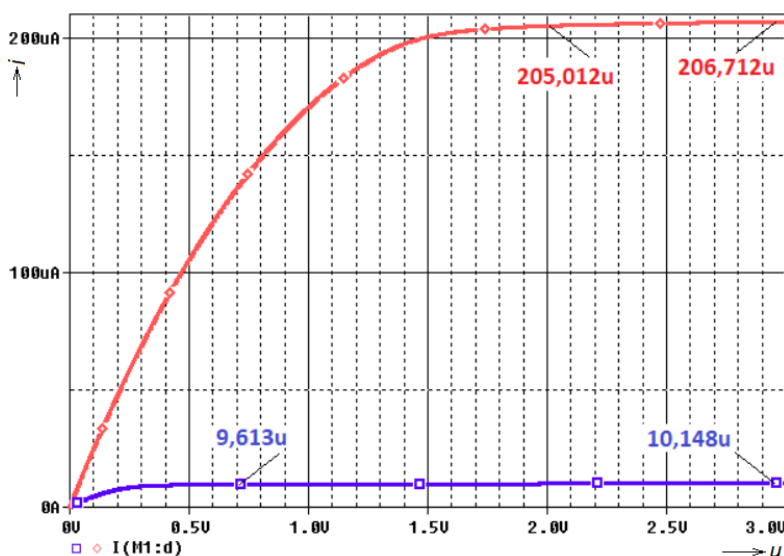
$$I_D = \frac{K_P}{2} \frac{W}{L} (V_{GS} - V_{T0})^2 (1 + \lambda V_{DS}). \quad (55)$$

Ve všech případech bylo počítáno se zjednodušeným vztahem, představujícím ideální zdroj proudu. Pro stanovení vlivu byla provedena simulace dle schématu na obrázku 67.



**Obrázek 67:** Schéma simulace vlivu délky kanálu na výstupní proud při  $L=1 \mu\text{m}$

Ze simulace na tranzistoru (obrázek 68) pro krajní hodnoty  $V_{GS}$  vyplývá, že maximální odchylka proudu je 6 % při nízkém napětí  $V_{GS} = 1 \text{ V}$  a 0,8 % při maximálním napětí  $V_{GS} = 8 \text{ V}$  (v návrhu většinou používané).



**Obrázek 68:** Průběh výstupního proudu DC charakteristiky pro NMOS tranzistor

Proudová zrcadla byla většinou nastavena pro vyšší napětí  $V_{GS}$  jednak kvůli výhodnějším podmínkám návrhu a také pro menší sklon výstupní charakteristiky, blíží se k ideálnímu zdroji proudu. Jeho parametry jsou přesnější, pracuje však na úzkém intervalu – což digitálnímu chování budiče neodporuje. Budičem buď teče chtěný proud, nebo pracuje v krajních mezích výstupní charakteristiky.

### Teplotní závislosti $K_P$ a $V_{T0}$ a technologický rozptyl hodnot

Obě zmíněné veličiny jsou jednak teplotně závislé a také se aplikují v rozmezí hodnot daných technologickou možností. V současných podmínkách nelze vyrobit stejný polovodič, pouze polovodič v určitém rozmezí jeho hodnot. Vliv odchylky se eliminuje právě diferenciálními, či párovými návrhy, při kterých se tepelná či technologická nepřesnost navzájem ruší. Z grafů používaných simulačních modelů vyplývá rozptyl hodnot v teplotním intervalu od  $-20\text{ }^{\circ}\text{C}$  do  $+80\text{ }^{\circ}\text{C}$ , které jsou uvedeny v tabulce 6.

**Tabulka 6:** Rozptyl simulačního modelu v rozmezí teplot:  $-20\text{ }^{\circ}\text{C}$  až  $+80\text{ }^{\circ}\text{C}$

	$V_{T0}$				$K_P$			
	meze		střed	odchylka	meze		střed	odchylka
N	0,5 V	0,7 V	0,6 V	15 %	$90 \cdot 10^{-6} \text{ V}^2\text{A}$	$200 \cdot 10^{-6} \text{ V}^2\text{A}$	$136 \cdot 10^{-6} \text{ V}^2\text{A}$	32 %
P	0,5 V	0,75 V	0,6 V	20 %	$19 \cdot 10^{-6} \text{ V}^2\text{A}$	$38 \cdot 10^{-6} \text{ V}^2\text{A}$	$29 \cdot 10^{-6} \text{ V}^2\text{A}$	34 %

Odchylky jsou velké, ale jsou eliminovány typem obvodu. Tranzistory proudového zrcadla, pokud je provedeno v jednotném technologickém procesu, jsou stejné, i když mají hodnoty rozptylu v intencích tabulky. Výsledný proud je dán pouze geometrickými vlastnostmi, protože

jsou tranzistory stejné. Při dosazení krajních hodnot do vztahu při geometrii 1:1 a maximálním vstupním napětí  $V_{GS} = 3 \text{ V}$ :

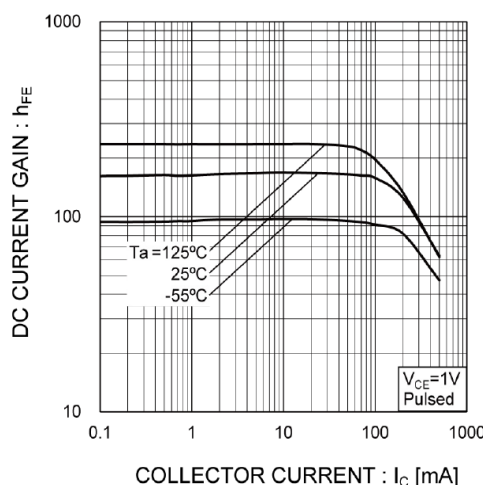
$$I_{D\text{MAX}} = \frac{K_{P\text{MAX}}}{2} \frac{W}{L} (V_{GS} - V_{T0\text{MAX}})^2 = \frac{200}{2} 2,3^2 = 529 \mu\text{A}, \quad (56)$$

$$I_{D\text{MIN}} = \frac{K_{P\text{MIN}}}{2} \frac{W}{L} (V_{GS} - V_{T0\text{MIN}})^2 = \frac{90}{2} 2,5^2 = 281 \mu\text{A}, \quad (57)$$

což prezentuje rozptyl hodnot  $I_D \pm 23 \%$ . Protilehlé zrcadlo disponuje pravděpodobně stejným rozptylem. V součtu může být maximální nepřesnost 46 %. Tak vysoký údaj v digitální technice nepřestává být problémem. Rozdíl mezi proudy budičů musí být velký. Například rozdíl mezi proudy budiče proudové smyčky je 500 % (4 mA / 20 mA).

### Vliv proudového zesilovacího činitele

V diskrétním návrhu jsou proudové zdroje jednoduše realizovány prostřednictvím bipolárních tranzistorů, jejichž přenos je určen proudovým zesilovacím činitelem  $h_{21e}$  (označovaným též jako „beta“). Tento parametr je silně závislý na kolektorovém proudu [52][51]. Navíc, stejně jako téměř u všech polovodičových součástek existuje u něj poměrně značná teplotní závislost. Z hlediska návrhu vyhovují tranzistory s nižší hodnotou  $h_{21e}$ , jelikož ve výstupní části se pracuje v oblasti proudů 1–100 mA. Čím nižší referenční proud bude nastaven, tím bude příznivější spotřeba, nicméně tím bude obtížnější vytvoření přesné proudové reference. Pokud je známo (především grafické) vyjádření závislosti  $h_{21e}$  na  $I_c$ , lze nastavit tento nastavit relativně přesně. Parametrem nepřesnosti bude především teplotní závislost  $h_{21e}$  – viz obrázek 69.



**Obrázek 69:** Ukázka konstantní závislosti proudového zesilovacího činitele  $h_{21e}(h_{FE})$  na kolektorovém proudu  $I_c$  v tranzistoru BCX19HZG – převzato z [53]

Z obrázku je patrná konstantní velikost  $h_{21e}$  téměř po celou pracovní oblast. Teplotní závislost je bohužel značná, okolo  $\pm 50 \%$ . Standardní postup pro teplotní stabilizaci tranzistoru nelze v plné míře použít, jelikož je nutné, aby tranzistory pracovaly v mezních napěťových úrovních. Napěťová stabilizace pomocí emitorového rezistoru je v rozporu s dosažením minimální úrovně napájecího napětí ( $U_{out} = U_{CE} + U_{RE}$ ). Kompromisním návrhem lze eliminovat napěťovou nestabilitu cca na 20 %. Použitím malého referenčního napětí ( $U_{REF}$ ), rezistoru o malé hodnotě tvořící proudovou referenci ( $R$ ) a malým odporem v emitoru tranzistoru ( $R_E$ ). Napětí ve smyčce vstupní části tranzistoru je potom dáno:

$$U_{REF} = \frac{I_C R}{h_{21e}} + U_{BE} + I_C R_E. \quad (58)$$

Výstupní proud z rovnice je vyjádřen jako:

$$I_C = \frac{h_{21e}(U_{REF} - U_{BE})}{h_{21e}R_E + R}. \quad (59)$$

Ze vztahu vyplývá, že čím větší bude součin  $h_{21e}R_E$  větší než vstupní odpor  $R$ , tím bude eliminace  $h_{21e}$  výraznější. V ideálním případě, kdy:

$$h_{21e} \gg R, \quad (60)$$

je jeho vliv téměř vyloučen a výstupní proud je dán:

$$I_C = \frac{U_{REF} - U_{BE}}{R_E}. \quad (61)$$

Předchozí vztah (61) je v rozporu s požadavkem nízké (popřípadě v protilehlé větvi vysoké) úrovně výstupního napětí. Pokud se použije referenční zdroj o velikosti  $U_{REF} = 1 \text{ V}$ , rezistor  $R = 600 \Omega$ ,  $R_E = 10 \Omega$  a napětí  $U_{BE} = 0,7 \text{ V}$ , pak při rozptylu  $h_{21emin} = 100$  a  $h_{21emax} = 200$  lze dopočítat rozptyl výstupního proudu:

$$I_{Cmin} = \frac{h_{21emin}(U_{REF} - U_{BE})}{h_{21emin}R_E + R} = \frac{100 \cdot 0,3}{10 \cdot 10 + 600} = 18,75 \text{ mA}, \quad (62)$$

$$I_{Cmax} = \frac{h_{21emax}(U_{REF} - U_{BE})}{h_{21emax}R_E + R} = \frac{200 \cdot 0,3}{20 \cdot 10 + 600} = 23,08 \text{ mA}. \quad (63)$$

Uvedený rozptyl hodnot výstupního proudu eliminovaného emitorovým odporem je 20 %. Nicméně je realizováno zapojením aditivního rezistoru  $R_E$  do výstupní části tranzistoru, čímž je dosaženo většího sklonu výstupní pracovní charakteristiky proudového zdroje.

### Nepřesnost referenčního proudu

Referenční proud je ve všech návrzích realizován prostřednictvím rezistoru propojujícího napájecí napětí a vstupní část proudového zrcadla  $V_{GS}$ . Tato jednoduchá varianta se vyznačuje dvěma potenciálními zdroji chybovosti:

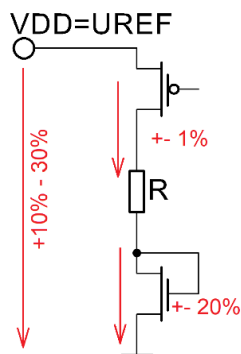
1. Není známá přesná hodnota napájecího napětí  $U_{REF}$ . Navíc na straně modulu *slave* je tato hodnota snížena o úbytek na detektoru maxima.
2. Napětí na vstupním tranzistoru je závislé na napětí  $V_{T0}$ , jehož tepelná závislost je vyjádřena výše.

Proud do vstupu zrcadla je dán vztahem:

$$I_{IN} = \frac{U_{REF} - U_{SW} - V_{GS}}{R}. \quad (64)$$

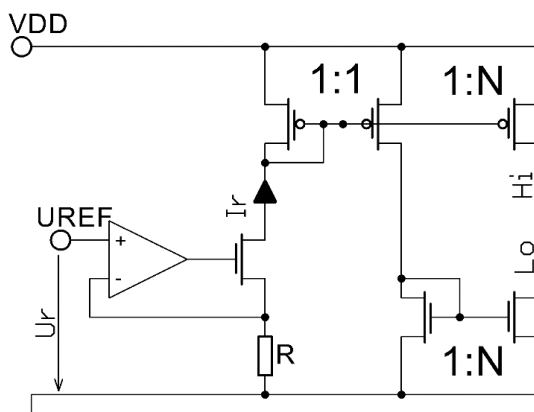
Každý z parametrů se podílí na chybové odchylce vstupního proudu. Jestliže na straně modulu *slave* je použito napětí za detektorem maxima jako referenční napětí  $U_{REF}$ , jeho rozptyl může být značný vlivem typu detektoru. Pokud bude použita obyčejná dioda, může referenční napětí klesnout až o 1 V oproti napájecímu napětí modulu *master*. To prezentuje při napájení  $U_{DD} = 3$  V odchylku 30 %. Na straně modulu *master* se pohybuje přesnost napájecího napětí  $\pm 10$  %. Spínač vstupního proudu, díky nízkému spínanému proudu – nižší než mA, nepředstavuje problém. Úbytek  $U_{SW}$  bude malý, a v podstatě zanedbatelný. Totéž lze konstatovat i o chybovosti odporu rezistoru. Pokud bude použit externí rezistor, rozptyl jeho odporu dosahuje 1 %. Pokud se provede realizace rezistoru na čipu, může se jeho tolerance pohybovat v oblasti několik desítek procent. Další zanedbatelnou položku v celém řetězci tvoří vstupní napětí zrcadla. Z tabulky 6 vyplývá, že jeho odchylka může nabývat hodnoty 20 %.





**Obrázek 70:** Chybový řetězec referenčního zdroje proudu

Pokud po součtu všech možných odchylek (obrázek 70) nebude předložený návrh vstupní části proudových zdrojů vyhovovat, lze navrhnout precisní řešení. Buď se stanoví přesná napěťová reference, eliminující vliv  $U_{REF}$  na nulu, nebo se použije přesného řízení proudu na vstupy proudových zdrojů. Tím se eliminují všechny vlivy (hlavně  $U_{REF}$  a  $V_{T0}$ ) – viz obrázek 71.



**Obrázek 71:** Ukázka distribuce referenčního proudu do protilehlých proudových zrcadel

Referenční proud nezávisí na napájecím napětí a také na velikosti  $V_{T0}$  vstupního tranzistoru. Je dán vztahem:

$$I_r = \frac{U_r}{R}, \quad (65)$$

ve kterém hrají roli přesnost napěťové reference a přesnost odporu. Na protilehlou stranu se přivede „ozrcadlený“ proud a výstupní, tedy pracovní proud ( $I_{Hi}$  a  $I_{Lo}$ ) je dán násobkem geometrického poměru  $N$  s referenčním proudem  $I_r$ .

$$I_{Hi/Lo} = \frac{U_r}{R} N. \quad (66)$$

Návrh napěťové reference není předmětem této práce, stejně tak, jako návrh hotového integrovaného obvodu. *Tato práce se zabývá především ideovým řešením budičů sběrnice, návrhem možných variant realizací, popřípadě diskusí nad problematikou jednotlivých řešení.*

## 4.2 Návrh nízkopříkonové hybridní sběrnice

Rozdíl provozní spotřeby mezi nízkopříkonovým a běžným režimem není v okamžitém měřítku příliš velký (2–5 mA), nicméně z hlediska životnosti baterie je každé navýšení stálé spotřeby klíčové. Pokud je například odebírán trvalý proud 10  $\mu\text{A}$  z baterie o kapacitě 200 mAh, dosahuje životnost baterie 2,25 roku. Jestliže je odběr zvýšen na 100  $\mu\text{A}$  (což je v oblasti síťově napájených zařízení nevýznamná hodnota), klesne životnost baterie na 2,5 měsíce. Nízká životnost baterie může být za určitých okolností nekomfortní a neakceptovatelná.

Zařízení, které je napájeno pomocí bateriového zdroje – ať primárního či sekundárního, by mělo pracovat ve speciálním režimu. Tento režim, je však kompromisem mezi protikladnými požadavky:

- okamžitá odezva na externí podnět,
- vysoký výpočetní výkon,
- nízká spotřeba.

Pojem: „nízká spotřeba elektrické energie“ je velmi obecný. Soudobé moderní technologie jsou realizovány pro provoz s velmi nízkou spotřebou – pokud ovšem neuvažujeme spotřebiče, jež principiálně spotřebovávají energii pro svůj primární provoz (topné, mechanické soustavy, ...). Návrhář elektrického systému může ovlivnit celkovou spotřebu systému především optimalizací obvodového návrhu (HW optimalizace), ale také optimalizací procesního návrhu (SW optimalizace).

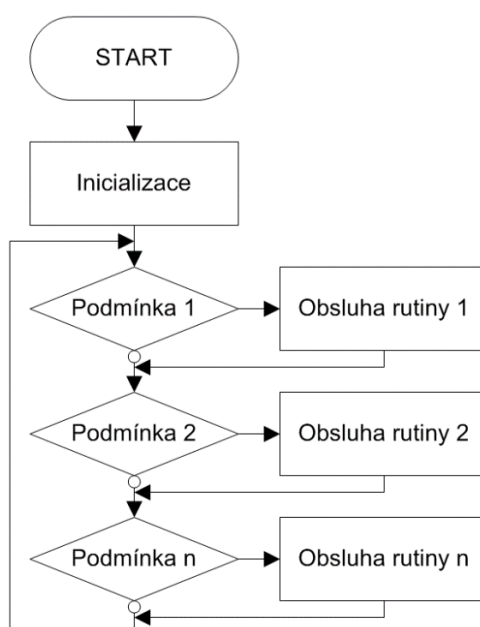
### 4.2.1 Způsob řízení vedoucí ke snížení odběru

Systémy pracující s bateriovým napájením, tedy v módu nízké spotřeby, většinou zpracovávají jednotlivé procedury odlišným způsobem než v režimu síťového napájení. Pro potřeby dalšího popisu lze stanovit názvosloví, ve kterém bude pojem: **pasivní režim** odpovídat módu, ve kterém je kladen důraz na nízkou spotřebu, tedy systém vyznačující se trvalou neaktivitou, ze které je vyrušen pouze v případě akutní procesní potřeby. Pod pojmem: **aktivní režim** si lze

představit systém, který neustále pracuje, doptává se na procesní požadavky, které v případě potřeby obslouží [54].

### Způsoby zpracování procesů

V aktivním režimu se procesy z velké části zpracovávají **sekvenčním** způsobem. V pasivním režimu se jednotlivé procesy většinou vykonávají **podmíněně**. Sekvenční režim se v cyklických smyčkách neustále dotazuje na nutnost či možnost vykonání konkrétní procedury. Nepřetržité cyklické dotazování jednotlivých procedur na možnost vykonání jejich požadavků bývá označováno výrazem *polling* [40][41].



**Obrázek 72:** Sekvenční zpracování procesu – aktivní režim (*polling*)

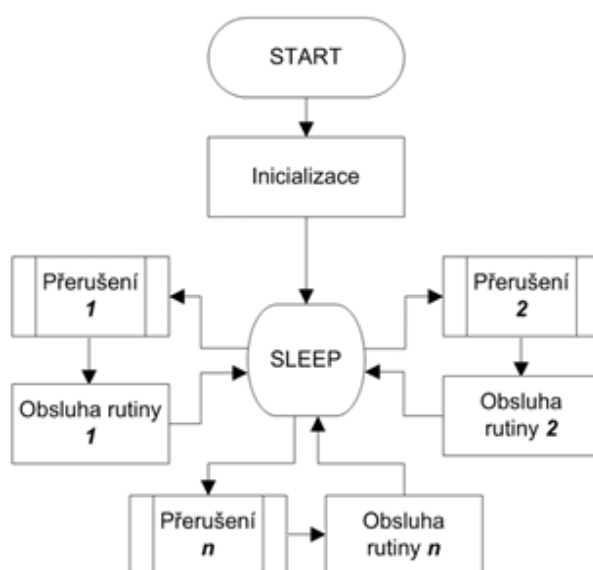
Obrázek 72 znázorňuje vývojový diagram obecného sekvenčního zpracování jednotlivých procesů. Po úvodní inicializaci jsou v nekonečné smyčce postupně vykonávány jednotlivé procesní požadavky. Aktivní režim se vyznačuje neustálou činností, proto není příliš kompatibilní se systémy vyžadujícími nízkou energetickou spotřebu.

Podmíněné provádění jednotlivých procesů poměrně přesně koresponduje s požadavky pasivního režimu. Zařízení se nachází po celou dobu provozu v nečinnosti. V případě potřeby je zařízení uvedeno z nečinnosti do módu s vysokým procesním výkonem – aktivní mód. V tomto režimu obslouží proceduru, která si vyžádala aktivaci, a je opět uvedeno do stavu nečinnosti. Požadované procedury zde nejsou prováděny postupně v cyklických smyčkách, ale pouze dle konkrétních požadavků.

Režim podmíněného provádění sice garantuje nejnižší možnou spotřebu, nicméně není schopen plného procesního výkonu, jako je tomu u sekvenčního zpracování. Probuzení pasivního režimu a přechod do aktivního režimu vyžaduje interakci s externím objektem. Zařízení nacházející se v módu nečinnosti, nedisponuje příliš mnoha možnostmi umožňujícími vyvolat přerušení. Typickým příkladem jsou bezdrátové komunikační moduly. Jestliže se přijímač nachází v režimu nízké spotřeby, nedokáže rozpoznat přicházející data, a tedy nedokáže vyvolat přerušení, které by obsloužilo příjem dat, jejich zpracování a odezvu. Optimální řešení provozu systému v nízkopříkonovém režimu spočívá v následujících bodech:

- schopnost vyvolat přechod z nečinného módu při minimálním proudovém odběru,
- rychlý přechod do procesně výkonného (aktivního) režimu,
- provedení obsluhy bez zbytečného prodlení a v co nejkratší době,
- nastavení potřebných parametrů pro další možnost probuzení,
- bezodkladný návrat do režimu nízkého odběru.

Na obrázku 73 vývojový diagram obecného podmíněného zpracování ukazuje způsob řešení dílčích procesů. Takto lze realizovat spotřebu nižší než u sekvenčního zpracování. Systém po provedení úvodní inicializaci je uveden do stavu nečinnosti. V tomto módu zůstávají aktivní pouze nezbytné moduly, například: vstupní porty (IO), nízkopříkonový časovač (LPO), modul reálného času (RTC), či komparátor. V okamžiku očekávaného asynchronního impulsu je systém probuzen, nastaví potřebnou periférii, obslouží procedury, inicializuje parametry potřebné k opětovnému probuzení a je opět uveden do stavu nečinnosti.



**Obrázek 73:** Podmíněné zpracování procesu – pasivní režim (přerušení)

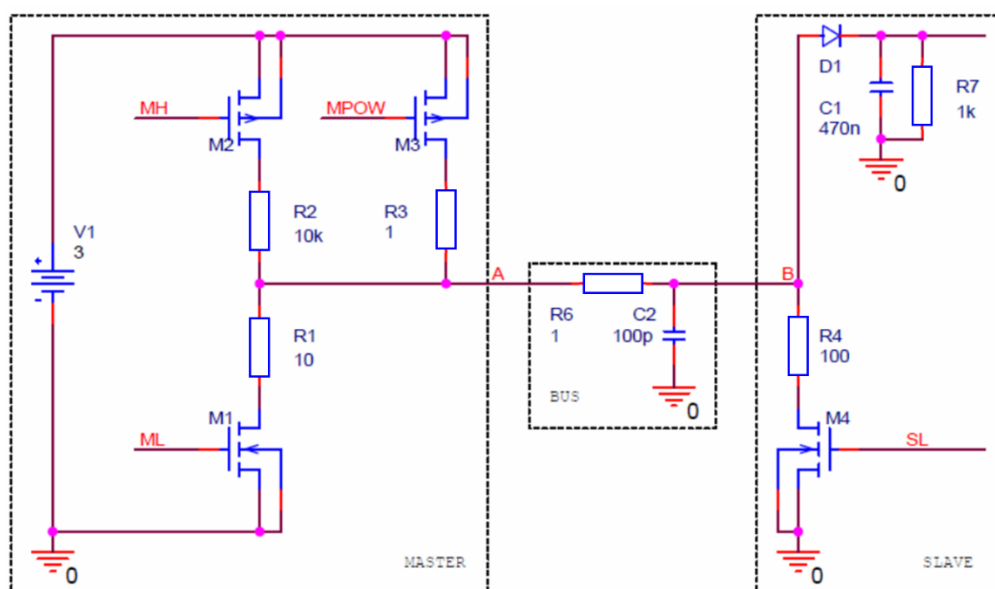
Omezení a úskalí vedoucích k nárůstu proudové spotřeby je celá řada, a proto musí být systém navržen komplexně tak, aby vzniknul přijatelný kompromis mezi funkčností celku a jeho proudovou spotřebou.

Požadavky kladené na nízkou spotřebu zařízení jsou protichůdné s požadavky zabezpečení přenosu dat z hlediska interference. Pokud sběrnice není dostatečně zatížena, podílí se na přenosu informace malé množství energie dodávané generátorem, a tudíž malé množství energie vyzářené rušicím elementem dokáže znehodnotit přenášenou informaci. Vyzářené elektromagnetické pole může na sběrnici naindukovat tak velký proud, který na vysokoimpedanční zátěži posune její napětíovou úroveň do chybového stavu. Podobně lze uvažovat i o nežádoucích účincích působení elektrostatického pole. Pokud přenosovou soustavou protéká proud o nedostatečné velikosti, může se vlivem kapacitní vazby zvýšit napětí do takové míry, že to způsobí chybové čtení informace. Z tohoto důvodu musí sběrnici používanou v zarušeném prostředí téct proud, jehož velikost se pohybuje v řádech jednotek až desítek miliampérů. U zařízení pracujícího v nízkopříkonovém režimu (anglicky *Low Power*), tedy zařízení napájeného z baterie, akumulátoru, popř. z jiného alternativního napaječe, není žádoucí plýtvání omezenou kapacitou zdroje na realizaci přenosu informace. Ne že by autonomní zdroje nebyly schopny pokrýt spotřebu provozu sběrnice, ale jedním z primárních parametrů autonomně napájených zařízení, je délka provozu bez nutnosti dobíjení či výměny autonomního zdroj energie. Proto je většinou kladen enormní zájem na úsporu elektrické energie ve všech fázích provozu.

Omezení budícího proudu sběrnice se ovšem nedotýká pouze její odolnosti před rušením, ale má také přímý vliv na rychlost přenosu. Přesněji řečeno na rychlost přechodu sběrnice mezi jednotlivými informačními stavy. Celá přenosová soustava zahrnující budič, sběrnici samotnou a přijímač, vykazuje impedanci, tedy kmitočtově závislou zátěž. Tato má většinou charakter dolní propusti, neboť sběrnice má v podélném směru indukční charakter a v příčném směru kapacitní charakter. Navíc budič i přijímač disponují vždy vstupní kapacitou, která je zapojena paralelně se sběrnicí, tudíž v součtu výsledné celkové kapacity. Z toho důvodu procesy spojené s rychlejším přechodem mezi logickými stavy jsou prezentovány distribucí většího množství náboje potřebného pro uskutečnění této změny.

### 4.2.2 Popis soustavy komunikující v nízkopříkonovém režimu

Ze zřejmých a výše uvedených důvodů je informace v tomto režimu přenášena po sběrnici bez zátěže, popřípadě s minimální zátěží. To znamená, že vliv rušivého signálu může být velmi podstatný. Naproti tomu je tento přenos provázen odčerpáním minimálního množství energie. Na obrázku 74 je znázorněná celá přenosová soustava. Ta je tvořena tranzistorovými spínači M1, M2, M3, M4. Tyto jsou proudově omezeny rezistory R1, R2, R3, R4, které se chovají jako vnitřní odpory napěťových generátorů. Tranzistor M3 realizuje přenos napájecí energie na straně vysílače a dioda D1 spolu s kapacitou C1 pracuje jako detektor maxima, čímž odděluje napěťový a datový blok přenosu. Parazitní parametry sběrnice představuje sériový odpor R6 spolu s příčnou kapacitou C2. Proudovou zátěž modulu *slave* reprezentuje rezistor R7.



**Obrázek 74:** Schéma komunikačního systému pracujícího v nízkopříkonovém režimu

Kombinace tranzistoru a rezistoru tvoří proudově omezený spínač. Nejedná se o mikroelektronicky navržené proudové zdroje tak jak byly popisovány v kapitole 4. Proud tekoucí těmito budiči není díky nakloněné zatěžovací odporové přímce konstantní, ale díky digitální logice (dva stavy) bude setrvávat ve dvou statických úrovních. Takto navrženou sběrnici nelze provozovat v režimu „*multislave*“, protože každý další zúčastněný modul *slave* na ni připojený, modifikuje její proudové (a díky sklonu zatěžovací přímky) podstatně i napěťové poměry. Optimální sestava této sběrnice je přímá komunikace mezi dvěma body, *master/slave*. V tomto případě lze přesně nastavit jak napěťové, tak i proudové poměry provozu sběrnice.

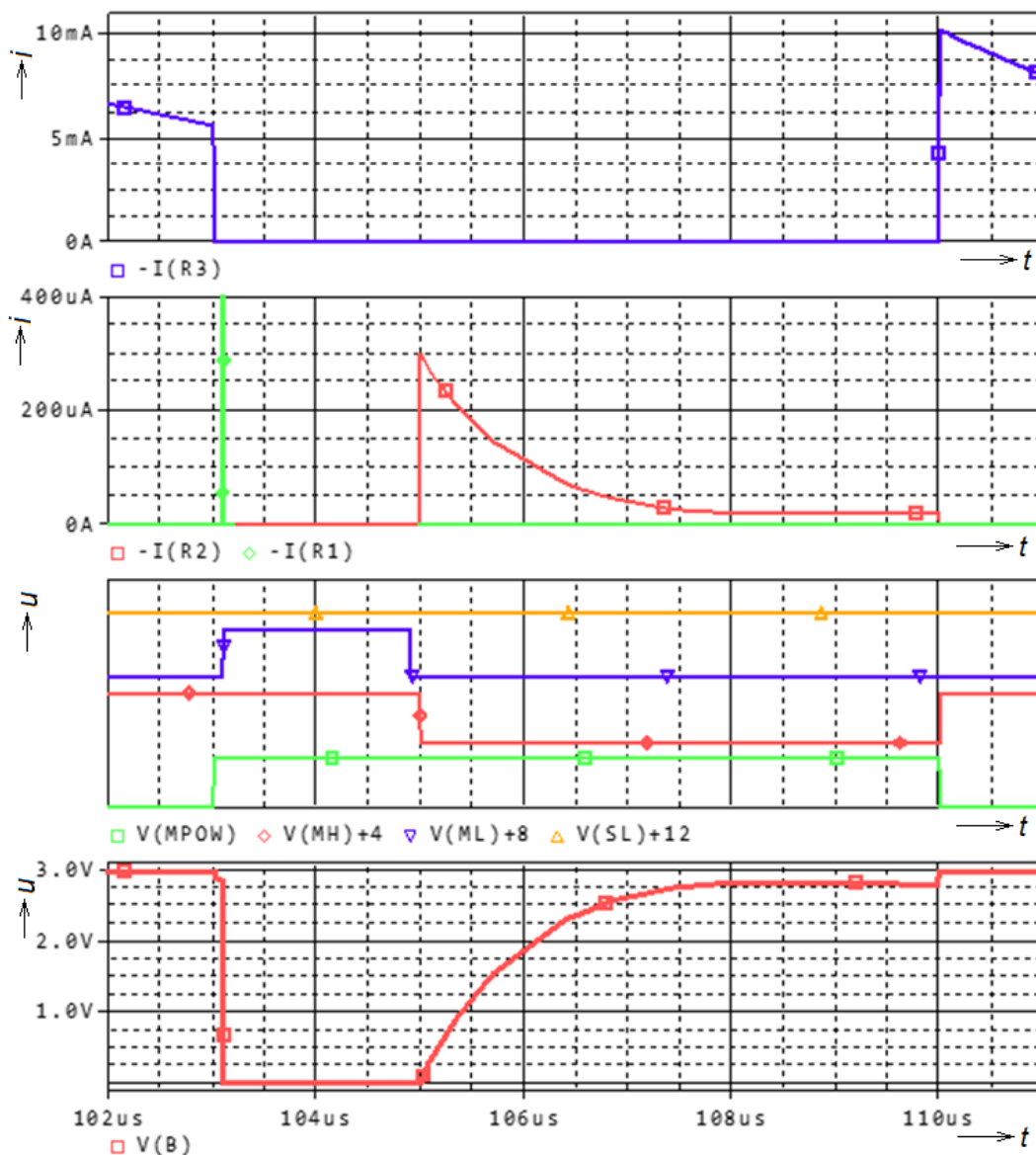
Napájení sběrnice a tím i napájení modulu *slave* obstarává tranzistor M3. V okamžiku zahájení přenosu informace (IB) je tranzistor M3 rozepnut a ihned sepnut tranzistor M1 (LL – *Low Level*). Úkolem tohoto tranzistoru je rychlé odsátí náboje ze sběrnice, která je prezentována vstupní kapacitou *slave* modulu, výstupní kapacitou *master* modulu a obecnou impedancí sběrnice (příčná kapacita a podélná indukce). Jelikož přechodový stav na impedanční zátěži vyžaduje vždy určitý časový úsek ( $t_{IE}$  a  $t_{ID}$ ), systém setrvává určitou dobu v klidu, než se ustálí napěťová hladina prezentující log0. Tyto časové úseky (IE – sestupná hrana, ID – časová prodleva pro synchronizace přijímače) se stanoví na základě proudové náročnosti provozu sběrnice a také na základě impedančních poměrů celé přenosové soustavy. Po uplynutí výše uvedených časových prodlev je zahájen přenos jednoho bitu (IT). Nyní záleží na stavu, ve které se modul *master* nachází. Na sběrnici mohou v tomto okamžiku probíhat 4 druhy přenosu ovlivňující chování tranzistoru M2:

1. *master* vysílá log1 – M1 je rozepnut, M2 je sepnut (SL),
2. *master* vysílá log0 – M1 je sepnut (LL), M2 je rozepnut (beze změny),
3. *slave* vysílá log1 – M1 je rozepnut, M2 je sepnut (SL), M4 je rozepnut,
4. *slave* vysílá log0 – M1 je rozepnut, M2 je sepnut (SL), M4 je sepnut (HL – kolize).

Kromě druhého případu, kdy *master* vysílá log0, je tranzistor M2 uveden v činnost a tranzistor M1 jenž držel sběrnici v nízkém stavu je rozpojen. Pokud modul *slave* vysílá log1, neovlivňuje sběrnici a spoléhá se přednastavenou úroveň tandemem budiče M2 a R2 (SL – *Soft Level*). Pakliže modul *slave* vysílá log0, stáhne sběrnici pomocí tranzistoru M4 (HL – *Hard Level*) na dolní úroveň, čímž dochází ke svodovému proudu (SL–HL). Je to jediná situace, kdy dochází ke statickému odčerpání proudu. V ostatních případech dochází k proudové disipaci pouze v dynamickém (přechodovém) režimu. Všechny potřebné parametry jsou vypočítány v kapitole 4.2.3 a 4.2.4.

Na průběhu simulace z obrázku 75 jsou znázorněny stavy 1 a 3 (*master*, *slave* vysílají log1). Proudové poměry v modulu *master* jsou očekávané. Proud  $I_{R3}$  zásobuje energií modul *slave*, tzn. v průběhu přenosu informace se modul *slave* napájí autonomně ze záložního kapacitoru. Po zahájení napájecího bloku musí dodat *master* prostřednictvím  $I_{R3}$  energii jednak do kapacitoru, tak rovněž musí umožnit pokračování napájení modulu *slave*. Rezistory R2 a R1 mají za úkol udržet na sběrnici potřebnou napěťovou úroveň. Zatímco hodnota rezistoru R1 není kritická, (na straně *slave* není žádný obvod, který by jej upínal k napájecímu napětí, a tím odčerpával ustálený proud), rezistor R2 musí být navržen s ohledem na možnou kolizi

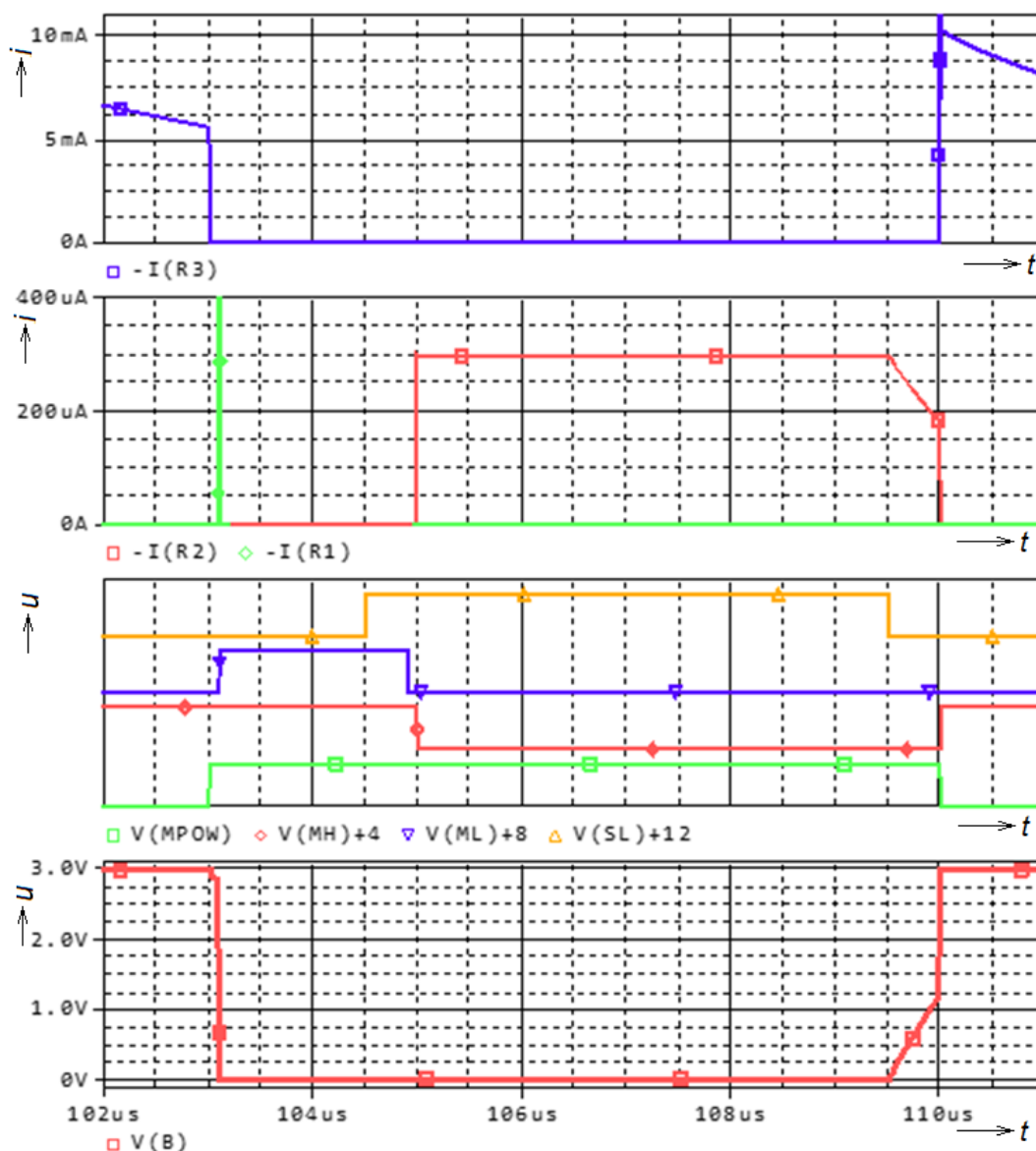
v případě, kdy modul *slave* vysílá  $\log 0$ . Proto na obrázku jsou jejich hodnoty řádově rozdílné. Níže na grafu jsou znázorněny průběhy řídicích napětí do spínacích tranzistorů, proudy klíčovými uzly a logické úrovně spínačů.



**Obrázek 75:** Časový průběh simulace vysílání  $\log 1$  na sběrnici

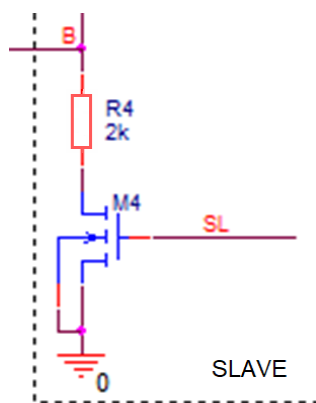
Obrázek 76 ukazuje průběh, ve kterém modul *slave* vysílá  $\log 0$ , tedy R4 koliduje s *pull-up* rezistorem R2. Ve druhém grafu je znát statický odběr  $I(R1)$  po dobu vysílání bitu. Z nejnižšího okna grafu průběhu vyplývá, že modul *slave* používá časově řízený digitální spínač, který je odpojen ještě před zahájením napájecího bloku. V červeném průběhu je patrný pozvolný nárůst napětí na sběrnici. Tato varianta je patrná rovněž ze schématu, protože rezistor R4 má příliš nízkou hodnotu. Příčný proud R3 a R4 by způsobil vysokou proudovou zátěž okolo 30 mA. Tato hodnota neodpovídá požadavkům na nízkopříkonový režim.



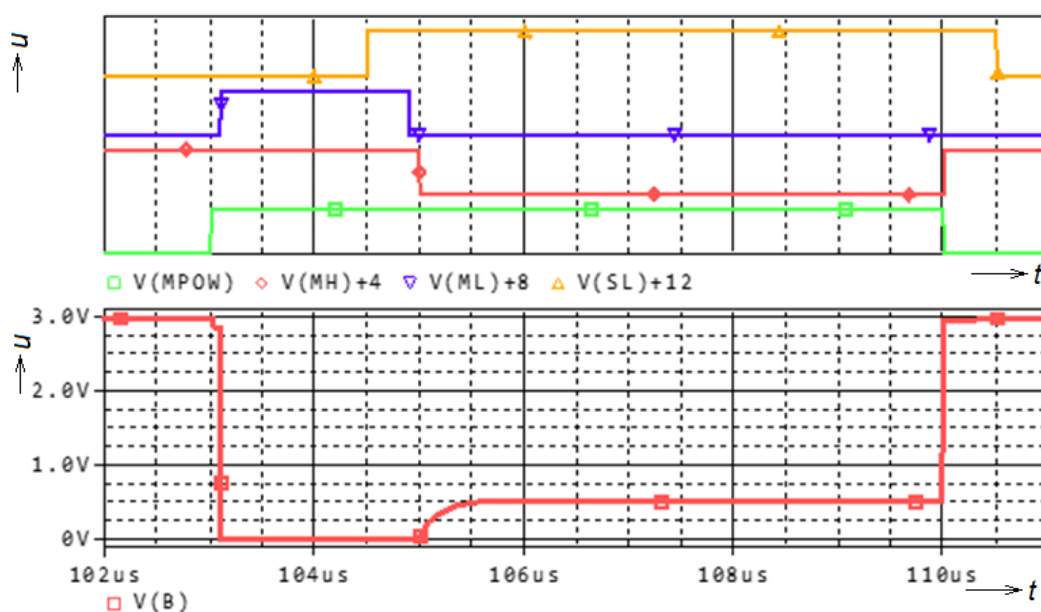


**Obrázek 76:** Časový průběh simulace – modul *slave* vysílá log0 s časovým řízením

Na obrázcích 77 a 78 je znázorněna simulována varianta s proudově dimenzovaným spínačem modulu *slave*. Budič M4–R4 má omezený proudový výstup při kolizi s M3–R3 (zde reprezentovaný vyšším odporem). V okamžiku poklesu sběrnice na nízkou úroveň modul *slave* připojí tento budič, přičemž nesynchronizuje čas potřebný pro vypnutí. Pouze sleduje úroveň sběrnice. Jakmile je dokončen přenos bitu (IB), *master* připojí výkonový budič M3 a ten přepne napětíovou úroveň. Odporový dělič R3/R4 bude mít vysokou úroveň napětí. Jakmile tato situace nastane, modul *slave* odpojí tranzistor M4. Po tuto dobu protéká obvodem zvýšený proud, který není kritický, a tudíž nezpůsobí mimoprovozní stav.

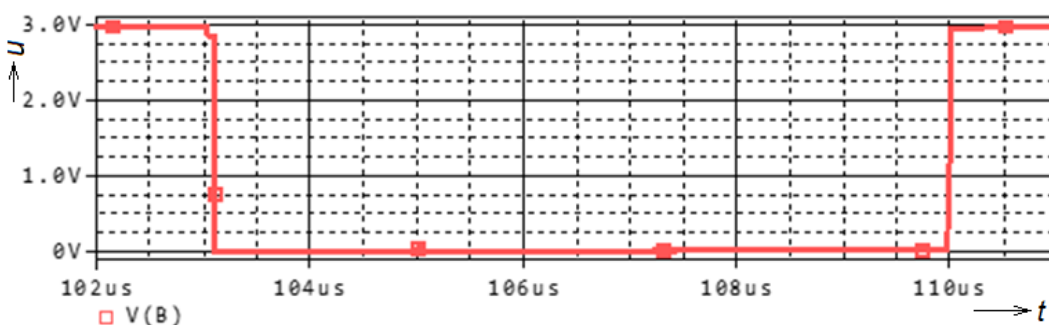


**Obrázek 77:** Omezení úrovně *hard level* modulu *slave*



**Obrázek 78:** Časový průběh simulace – modul *slave* vysílá log0 s proudovým odpojením

Pro úplnost je na obrázku 79 znázorněna situace, kdy modul *master* vysílá log0. Jelikož systém nedodává do sběrnice žádný proud, je transfer za těchto podmínek nejméně náročný. Po zahájení datového přenosu musí budič M1–R1 odsát všechnen náboj z přenosové soustavy – přechod do stavu log0.



**Obrázek 79:** Časový průběh simulace – modul *master* vysílá log0

### 4.2.3 Kvantitativní popis provozních stavů sběrnice

Dosud byly popsány jednotlivé stavy hybridní sběrnice kvalitativně. Tato podkapitola má za cíl vyjádřit všechny provozní parametry (statické, dynamické) výpočetními vztahy. Budou zde zmíněny tyto součásti komunikačního systému:

- hodnoty rezistorů,
- časové poměry na sběrnici,
- parametry tranzistorů – statické, dynamické,
- parametry detektoru maxima,
- parametry záložního kapacitoru.

Všechny zmíněné aspekty musí spolu komplexně vytvářet funkční celek, který je absolutně odolný vůči všem provozním odchylkám, je robustní a přiměřeně odolný vnějším rušivým vlivům.

#### Výpočet obvodových parametrů

Mezi nejméně kritické prvky obvodu patří rezistory R1 a R3. Jejich hodnoty musí být nízké, za jistých okolností lze tyto součástky i vynechat. Jejich hlavním úkolem je zmenšení strmosti hran při přepínání sběrnice ( $dv/dt$ ).

**Budič M1–R1 (LL)** je zodpovědný za strmý přechod sběrnice při zahájení datového bloku. V okamžiku, kdy celá přenosová soustava je na maximální úrovni napětí, tedy kapacitní složka sběrnice je nabitá maximálním nábojem  $Q_{bus} = C_{bus}U_{bus}$ , je nutný okamžitý přechod na nízkou úroveň. Indukční složka se zde teoreticky příliš neprojeví, protože sběrnice není impedančně zakončena, popřípadě je zakončena velmi vysokou impedancí. V případě pozdního rozepnutí detektoru maxima ( $t_{tr}$ ) může však budičem LL proběhnout poměrně vysoký proudový impuls. Pokud je doba  $t_{tr}$  detektoru krátká, lze indukčnost v této fázi výpočtu zanedbat a počítat pouze s kapacitním charakterem přenosové soustavy. Vztah pro vybití kapacitoru prostřednictvím reálného odporu je dán:

$$U_{bus} = U_{busMAX} e^{\frac{-t}{RC}}, \quad (67)$$

kdy velikost  $U_{bus}$  může dosahovat 5% velikosti ( $\log 0$ )  $U_{busMAX}$  ( $\log 1$ ), kterážto koresponduje s hodnotou  $U_{DD}$ . Tato hodnota bude s rezervou náležet do rozsahu vstupního napětí  $V_{IL}$  (*Voltage*

*Input Low*). Časová konstanta obvodu  $\tau = RC$  je součinem součtu reálných a imaginárních kapacitních složek.

$$R = \sum R = R_{M1on} + R_{bus} + R_1, \quad (68)$$

$$C = \sum C = C_{MASTERout} + C_{bus} + C_{SLAVEin}. \quad (69)$$

Většinu uvedených složek lze aproximovat, popřípadě odhadnout. Nicméně je vhodné zobrazit průběh přenosu na osciloskopu a ověřit celkovou časovou konstantu přenosové soustavy.

- $R_{M1on}$  je odpor sepnutého tranzistoru a pohybuje se v rozmezí  $10 \text{ m}\Omega - 2 \Omega$ .
- $R_{bus}$  je odpor sběrnice a může nabývat hodnot max  $10 \Omega$ .
- $C_{MASTERout}$  představuje výstupní kapacitu modulu *master*.
- $C_{bus}$  je kapacita sběrnice a může se pohybovat v řádech jednotek až desítek pF.
- $C_{SLAVEin}$  je představována vstupní kapacitou modulu *slave*. Například GPIO pin v mikrokontroléru se vykazuje kapacitou okolo 5 nF.

Odpor soustavy bude předmětem výsledku vztahu a maximální kapacitu můžeme stanovit, například  $C = 100 \text{ pF}$ . S rezervou se do této hodnoty vměstná sběrnice o délce několika desítek cm. Pak lze vypočítat:

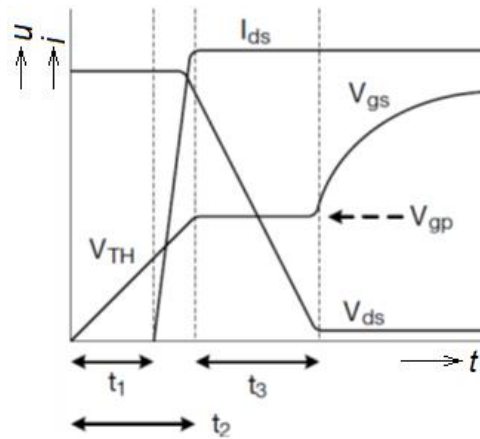
$$\begin{aligned} 0,05U_{busMAX} &= U_{busMAX} e^{\frac{-t_{IE}}{RC}}, \\ \ln(0,05) &= -\frac{t_{IE}}{RC}, \\ R &= \frac{-t_{IE}}{\ln(0,05)C}, \\ R_1 &\approx \frac{t_{IE}}{3C} - (R_{bus} + R_{M1on}). \end{aligned} \quad (70)$$

Jedná se o maximální hodnotu, kterou můžeme snížit až na nulovou hodnotu. Při drastickém snížení hodnoty odporu se zvyšuje strmota  $dv/dt$  a o to více se mohou projevit parazitní indukčnosti v soustavě vyvolávající v tomto případě podkmit sběrnice pod nulovou úroveň.

Příklad: Požadujeme pokles sběrnice za dobu  $t_{IE} = 100 \text{ ns}$ , celková kapacita je  $C = 100 \text{ pF}$ . Maximální hodnota celkového odporu je dána:

$$R_1 = \frac{100 \cdot 10^{-9}}{3 \cdot 100 \cdot 10^{-12}} - 10 = \frac{1 \cdot 10^3}{3} - 10 = 290 \, \Omega. \quad (71)$$

Další aspekt podílející se na strmosti poklesu sběrnice je rychlost vypnutí tranzistoru M1 ( $t_{M1off}$ ). Opět se nejedná o kritický parametr, nicméně příliš pomalé vypnutí může způsobit synchronizační problémy sběrnice. Na obrázku 80 je znázorněn známý průběh spínání tranzistoru, během kterého se náboj dodává do vstupu tranzistoru (*gate*). Vzhledem ke struktuře MOSFET je transfer náboje prováděn postupně do všech jeho parazitních kapacit, jejichž vzájemná vodivost se během spínacího procesu mění. Z toho důvodu není přenos náboje homogenní, ale pohybuje se po křivkách, jejichž průběhy lze parametrizovat tím, že se rozdělí na dvě (popřípadě tři) oblasti.



**Obrázek 80:** Časový průběh spínání tranzistoru MOSFET. Převzato z [55]

Oblast na grafu označena  $t_1$  není důležitá pro výpočet doby sepnutí, protože zahrnuje dobu od počátku sepnutí do počátku propouštění proudu (oblast dosažení  $V_{TH}$ ). Časový úsek  $t_2$  lze vypočítat jako celek, protože napětí  $u_{GS}$  se pohybuje po exponenciále:

$$\begin{aligned} U_{gp} &= U_{GS} \left( 1 - e^{\frac{-t_2}{R_G C_{iss}}} \right), \\ \ln \left( \frac{U_{GS} - U_{gp}}{U_{GS}} \right) &= \frac{-t_2}{R_G C_{iss}}, \\ t_2 &= \ln \left( \frac{1}{1 - \frac{U_{gp}}{U_{GS}}} \right) R_G C_{iss}. \end{aligned} \quad (72)$$

Napětí dodávající náboj v poslední spínací fázi se pohybuje po tzv. Millerově plošině [56] (*Miller Plateau*) má dobu trvání  $t_3$  a lze jej vyjádřit vztahem:

$$t_3 = \frac{Q_3}{i_3} = U_{DS} C_{gd} \frac{R_G}{U_{GS} - U_{gp}}, \quad (73)$$

kde  $i_3$  je tvořeno odporem  $R_G$ , na němž je úbytek  $U_{GS} - U_{gp}$ . Součtem obou časů  $t_2$  a  $t_3$  lze získat přesnou dobu sepnutí.

$$t_{ON} = R_G \left[ \ln \left( \frac{1}{1 - \frac{U_{gp}}{U_{GS}}} \right) C_{iss} + \frac{U_{DS}}{U_{GS} - U_{gp}} C_{gd} \right]. \quad (74)$$

Odpor  $R_G$  představuje rezistor vřazený do obvodu *gate* v součtu s vnitřním odporem tranzistoru  $R_g$ . Vstupní kapacita  $C_{iss}$  je dána součtem obou vstupních parazitních kapacit, tedy  $C_{gs}$  a  $C_{ds}$ . Vzhledem k okolnostem, že některé údaje výrobci tranzistorů neuvádějí ( $U_{gp}$ ,  $C_{gd}$ ...), ale hlavně proto, že hodnota  $t_3$  není nijak kritická, lze jednodušeji získat tuto dobu pomocí lineární aproximace průběhu vstupního proudu:

$$t_{ON} = \frac{Q_g}{I_g} = Q_g \frac{R_G}{U_{GS}}. \quad (75)$$

Chyba aproximovaného průběhu může být značná, nicméně výpočet slouží pouze pro orientaci. Hodnota  $Q_g$  u malých tranzistorů spínající proudy v řádech stovek miliampérů mající odpor v sepnutém kanálu  $R_{DS(on)}$  menší než jeden ohm, se pohybuje v řádech jednotek nanocoulombů. Rezistory vřazené do obvodu jejich vstupu (*gate*) v řádech jednotek kiloohmů způsobí spínací prodlevu v řádech jednotek mikrosekund.

**Budič M3–R3 (TL)** napájí přenosovou soustavu, potažmo modul *slave*. Zde platí obdobná pravidla jako v předchozí části. Navíc je zde kladen požadavek minimálního úbytku napětí, a to i při špičkovém odběru proudu. Z toho důvodu lze rezistor R3 vynechat, nebo ponechat minimální. Taktéž tranzistor M3 by měl mít odpor sepnutého kanálu minimální. Problém se strmostí přepnutí je zde sice mnohem větší než v minulém případě, protože na rozdíl od předchozího budiče tento spíná mnohem větší proudy (reálná statická zátěž modulu *slave*), nejenom parazitní hodnoty vedení. Pokud je sběrnice příliš dlouhá nebo se vykazuje větší podélnou indukčností, uplatní se u tohoto budiče vztah:

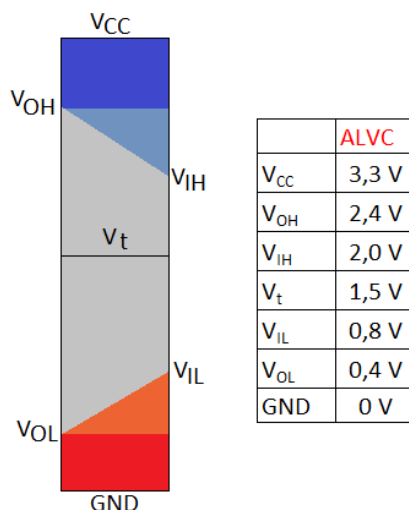
$$u_L = L \frac{di}{dt}, \quad (76)$$

protože je zátěž budiče tentokrát mnohem větší než v případě předchozího budiče. Všechny uvedené výpočetní vztahy budiče M1–R1 lze použít i v tomto případě.

**Na parametry budiče M2–R2 (SL) v kombinaci s M4–R4 (HL) se kladou podstatně vyšší nároky z hlediska přesnosti výpočtu. Oba budiče musí splňovat řadu kritérií, zejména:**

- Budič M2–R4 musí ve stanovené době umožnit „zvednutí“ sběrnice do úrovně log1.
- Budič M4–R4 musí dokázat „stáhnout“ sběrnici do úrovně log0.
- Svodový proud M2–M4 musí být poměrně malý, tak aby nezpůsobil provozní komplikace.
- V případě M4 jako proudově dimenzovaného spínače nesmí téct obvodem M3–M4 destrukční svodový proud.

V následujících výpočetních úkonech nebudou hrát statické parametry tranzistorů M2, M4 významnou roli. Tuto roli převezmou rezistory R2 a R4, a to z důvodu řádově vyšších odporů, nežli mají tranzistory v sepnutém kanále. Na obrázku 81 jsou zdůrazněny hranice vstupně výstupních digitálních pinů, které budou počítány při přepínání stavu sběrnice v datovém přenosu v části IB (*Information Block*).



**Obrázek 81:** Vstupní a výstupní napěťové úrovně digitálních prvků

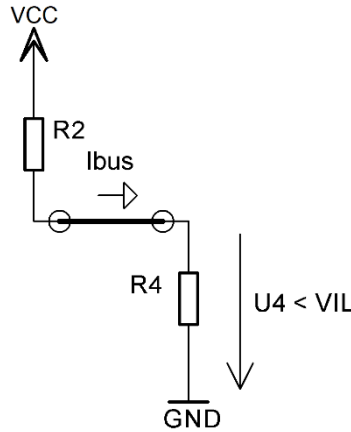
Rychlost přechodu sběrnice po ukončení sekce ID a zahájení IT (TNS) se řídí známým exponenciálním vztahem, který po úpravě nabývá tvaru:

$$V_{IH} = V_{CC} \left( 1 - e^{-\frac{t_{TNS}}{R_2 C_{bus}}} \right),$$

$$R_2 = \frac{t_{TNS}}{\ln \left( \frac{1}{1 - \frac{V_{IH}}{V_{CC}}} \right) C_{bus}}. \quad (77)$$

Kde  $C_{bus}$  je parazitní kapacita přenosové soustavy,  $V_{IH}$  je minimální napětí log1 vstupní části modulu *slave* a  $t_{TNS}$  je doba, za kterou je dosaženo hranice log1.

Modul *slave*, pokud pracuje s časovým řízením spínače M4, potřebuje vyřešit pouze statický svodový proud tekoucí obvodem R2–R4. Pokud modul pracuje jako proudově dimenzovaný spínač, potřebuje vyřešit ještě navíc špičkový proudový svod obvodu R3–R4. V případě interakce budiče R2–R4 (SL–HL), musí sepnutý spínač M4 udržet napětíovou úroveň sběrnice v oblasti menší než  $V_{IL}$ . V případě aktivace budiče R3–R4 (TL–HL), musí být sběrnice vytažena na úroveň napájení.



**Obrázek 82:** Příčný proud SL–HL (modul *slave* vysílá log0)

Na obrázku 82 je zachyceno schéma cesty příčného proudu vyvolaného v případě kdy modul *slave* vysílá log0. Parametry rezistoru R4 se vypočítají dle vztahu:

$$V_{IL} \geq V_{CC} \frac{R_4}{R_2 + R_4},$$

$$R_4 \leq \frac{R_2}{\frac{V_{CC}}{V_{IL}} - 1}. \quad (78)$$

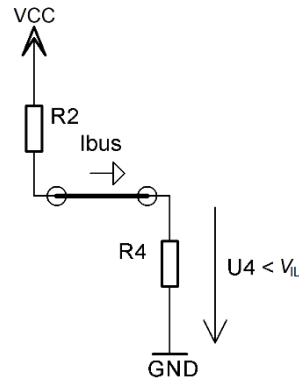
Zároveň musí platit proudová podmínka:



$$I_{bus} \geq \frac{V_{CC}}{R_2 + R_4}, \quad (79)$$

která vypočítá velikost procházejícího proudu v průběhu přenosu bitu (IB). V případě časového řízení spínače na straně modulu *slave* může mít rezistor R4 mnohem menší hodnotu, než která je uvedena ve vztahu (79).

Na obrázku 83 je znázorněna kolize při proudově dimenzovaném spínači. Příčný proud musí umožnit přepnutí sběrnice na log1 a zároveň nesmí mít destrukční ani omezující činnost.



**Obrázek 83:** Příčný proud TL–HL (*master* zahajuje napájecí blok – PB)

Obvodové parametry napájecí sběrnice na obrázku 83 se vypočítají podle vtaů:

$$V_{IH} \leq V_{CC} \frac{R_4}{R_3 + R_4}, \quad (80)$$

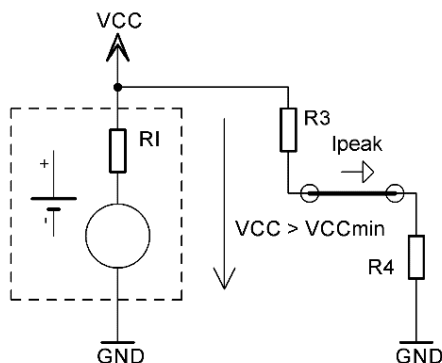
$$R_4 \geq \frac{R_3}{\frac{V_{CC}}{V_{IL}} - 1}$$

$$I_{peak} \geq \frac{V_{CC}}{R_3 + R_4}, \quad (81)$$

Vztahy (80) a (81) se uplatní v případě proudově dimenzovaného spínání. I v případě časově řízeného spínání může nastat nestandardní situace ztráty synchronizace a dojde ke kolizi rovněž. V takové situaci je vhodné použít R4 o takové velikosti, která nezpůsobí pokles napájecího napětí mimo provozní podmínky. Tedy musí být splněna podmínka: Napětí na děliči  $R_i - (R_3 + R_4)$  musí být větší než  $V_{CCmin}$ .

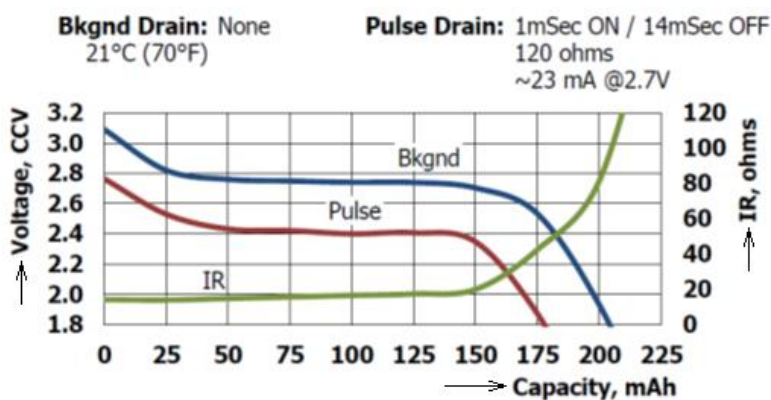
$$V_{CCmin} \leq V_{BATnom} \frac{R_3 + R_4}{R_i + R_3 + R_4}. \quad (82)$$

Tato situace je zřejmá z obrázku 84. Modul *slave* musí hlídat stav sběrnice a v okamžiku jejího překlopení do stavu  $\log 1$  – viz (82) za situace, kdy má připojený tranzistor M4, musí tuto situaci vyhodnotit jako kolizi a tranzistor M4 rozpojit.



**Obrázek 84:** Vliv příčného proudu *top level* na bateriové napájení

Na obrázku 85 je ukázka vztahu mezi vnitřním odporem baterie CR2032 a spotřebovanou kapacitou za parametrizovaných podmínek. Návrhem či programem musí být zajištěno okamžité odstranění kolizní situace, proto lze v návrhu počítat s pulsním průběhem, jehož šířka by neměla přesáhnout dobu  $1\ \mu\text{s}$ .



**Obrázek 85:** Vliv vybíjení baterie na její vnitřní odpor a její napětí. Převzato z [57]

Pokud výrobce bateriových zdrojů neuvádí vztah mezi velikostí vnitřního odporu baterie a spotřebovanou energií, lze vycházet z doporučení o hranici velikosti maximálního vybíjecího pulsního proudu.

Energetická bilance provozu sběrnice se opírá především o spotřebu probíhající mezi spínači M2–M4 a M3–M4, tedy v okamžiku, kdy *slave* vysílá  $\log 0$  a také v případě, kdy *slave* řeší ukončení datového bloku pomocí proudově dimenzovaného spínače. Tyto dva okamžiky jsou klíčové pro celkovou spotřebu a nutně stojí v protikladu s přenosovou rychlostí. Pro zvýšení rychlosti přenosu je potřeba zrychlit dodávku náboje do systému, což je provázáno zvýšením

proudové spotřeby. Podobně je tomu při proudově dimenzovaném odpojování modulu *slave*. Pokud je zapotřebí šetřit spotřebu na úkor prodloužení přenosu, je vhodné odepínat modul *slave* s časovým řízením – což vyžaduje prodloužení času přenosu o toleranční rezervu nutnou pro optimální interval vypnutí.

**Detektor maxima** je ve své nejjednodušší formě sestaven z diody a kapacitoru. Dioda, jak bylo výše diskutováno, se vyznačuje dvěma negativními vlivy na provoz systému. Velikostí napěťové bariéry  $U_F$  v propustném směru, a tím také výkonovou ztrátou. V nízkopříkonovém režimu nemají výkonové ztráty žádný vliv, protože v tomto režimu proud procházející diodou je řádově nižší, než uvádějí provozní podmínky, byť i u miniaturních diod. Problém může nastat s velikostí úbytku bariérového napětí na diodě.

Zařízení napájena z autonomních bateriových zdrojů jsou vystavena mnohem většímu rozptylu napájecího napětí nežli v případě napájení síťovými zdroji. Baterie během svého života snižuje velikost dodaného napětí a vzhledem k požadavku na nejdelší možnou životnost baterie, je nutné tolerovat provozní podmínky na dolní hranici napětí vybité baterie. Tato dolní hranice se běžně pohybuje u miniaturních baterií okolo velikosti 75 % nominálního napětí.

**Tabulka 7:** Statické parametry vybraných diod vhodných pro detektor maxima

TYP	$V_R$ [V]	$I_F$ [A]	$V_F$ [V]			$I_R$ [ $\mu$ A]
pouzdro 1x0,65x0,4mm			$I_F = 2$ mA	$I_F = 10$ mA	$I_F = 40$ mA	$V_R = 3$ V
PMEG1020EV	10	2,00	0,08	0,10	0,15	300
PMEG2005AELD	20	0,50	0,08	0,12	0,16	100
PMEG1201AESF	12	0,10	0,09	1,10	0,20	200
PMEG2010BELD	20	1,00	0,13	0,20	0,23	15
CTS05S30	20	0,50	0,14	0,19	0,24	20
PMEG2005BELD	20	0,50	0,16	0,20	0,25	10
PMEG4005AESF	40	0,50	0,18	0,25	0,31	2
CDBQR0130L-HF	30	0,10	0,19	0,23	0,30	4
RB521S-30LP-TP	30	0,10	0,20	0,25	0,31	2
PMEG2005ELD	20	0,50	0,20	0,24	0,28	3
PMEG6002ELD	60	0,20	0,22	0,26	0,33	1,5
CTS521	30	0,30	0,22	0,28	0,33	0,8
PMEG2005ESF	20	0,50	0,25	0,30	0,36	0,1
RB751CS40	40	0,12	0,26	0,40	0,60	0,01
BAS40L	40	0,12	0,30	0,40	0,60	0,01

V popisovaném režimu lze bez problémů provozovat detektor prostřednictvím „ztrátové“ diody, nicméně je potřeba zvolit ji s co nejmenšími negativními vlivy. Pokud to napájecí podmínky vyžadují (viz výše uvedený příklad) je vhodné volit diodu s nízkým napětím v propustném směru. Vhodné je užití Schottkyho diody. Technologicky lze u diod dosáhnout

velmi nízkého napětí  $V_F$ , snižování však vede ke zvětšení parametru  $I_R$ . Vysoký reversní proud, tedy prosakování proudu (anglicky *Leakage*) v závěrném směru může vést k nechtěnému vybíjení kapacitoru v průběhu datového přenosu. V tabulce 7 jsou porovnány hodnoty malých diod a jsou seřazeny dle velikosti napětí v propustném směru.

Velikost záložního kapacitoru coby součást detektoru maxima v modulu *slave*, respektive jeho kapacity je odvozena od dvou faktorů:

- proudový odběr modulu *slave*,
- doba trvání datového bloku.

Po dobu trvání datového bloku musí být schopen záložní kapacitor dodat potřebnou energii do zátěže, a navíc nesmí poklesnout napájecí napětí pod minimální hodnotu. Předpokladem je zátěž odebírající konstantní proud. V případě rezistivní zátěže můžeme průběh linearizovat, jelikož se pohybujeme v oblasti exponenciály blížící se maximu. Tato část průběhu má poměrně malou strmost  $dv/dt$ , proto zde aproximační chybová odchylka nebude významná. Navíc musí být kapacitor navržen s rezervou, jelikož musí být schopen pokrýt všechny potenciální možnosti proudového odběru. Pro pokles napětí na kapacitoru v případě vybíjení konstantním proudem platí:

$$C = \frac{I_{konst}\Delta t}{\Delta U}. \quad (83)$$

Doba vybíjecího cyklu (datový blok) je prezentována symbolem  $\Delta t$ , proud dodávaný kapacitorem do zátěže je označen  $I_{konst}$  a pokles napětí znázorňuje symbol  $\Delta U$ .

Postup nabíjení kapacitoru může být reciproční, nicméně v nabíjecím procesu hraje roli vnitřní odpor nabíjecího generátoru a doba trvání napájecího bloku. Tyto faktory nemají nic společného s návrhem kapacitoru, ale se systémovým návrhem sběrnice. Generátor musí během doby trvání napájecího bloku dodat nejen chybějící energii do kapacitoru, ale také dodat energii do zátěže, která odebírá proud kontinuálně. Výhoda návrhu kapacitoru spočívá bezesporu v tom, že pokud jej jakkoliv předdimenzujeme, neprojeví se jeho zvýšená hodnota na spotřebě. Pokud je kapacita předdimenzovaná, tak se pouze sníží hodnota poklesu napětí, ale generátor vždy doplní pouze tolik energie, kolik se během přenosu IB odčerpalo (pomineme-li spínací ztráty, které ostatně opět souvisí s množstvím odebrané energie). Horní hranice kapacity záložního kapacitoru se projeví pouze při úplném nabíjení, tedy při první interakci modulů *slave* a *master*. Doba této první interakce je dána:

$$t_{min} = -R_i C \cdot \ln \left( 1 - \frac{U_{min}}{U_{BAT}} \right). \quad (84)$$

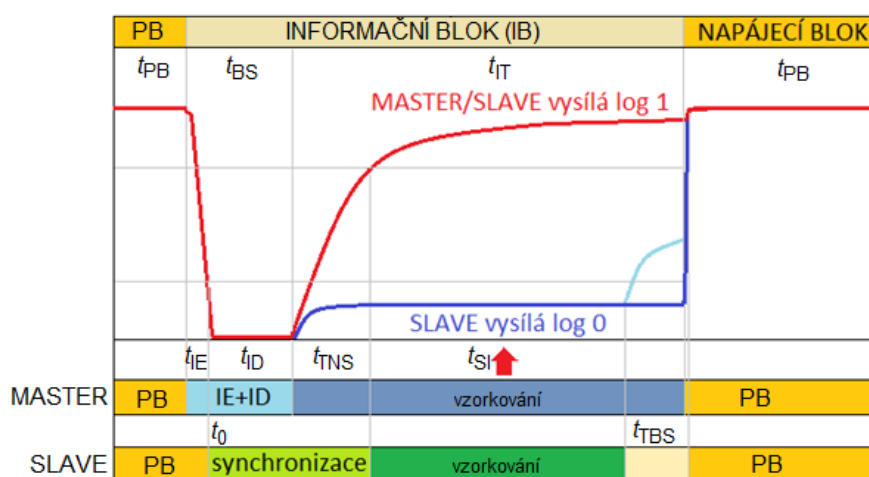
Rezistor  $R_i$  představuje odpor celého nabíjecího obvodu, tedy vnitřní odpor baterie, přidaný odpor napájecí ( $R_3$ ), a odpor sběrnice  $R_{bus}$ . V technické praxi se běžně považuje čas, za který je kapacitor nabitý na 95 % velikosti napětí generátoru, za dostatečný. Potom platí vztah:

$$t_{CAP} = 3\tau = 3R_i C. \quad (85)$$

Přirozený logaritmus hodnoty odpovídající pětiprocentnímu podílu má velikost přibližně 3. V okamžiku dosažení minimálního napětí  $U_{min}$ , se připojí zátěže obvodových prvků (mikrokontroléru, paměti...), které odebírají svůj provozní proud. Proto musí být generátor schopen uspokojit veškerou energetickou poptávku v předem stanoveném čase.

#### 4.2.4 Vyjádření časových průběhů na sběrnici

V této kapitole budou zmíněny dynamické procesy probíhající při komunikaci propojených modulů a budou vyjádřeny časové intervaly celého komunikačního řetězce. Vzájemná časová synchronizace obou modulů neprobíhá ve stejnou dobu, ale je závislá na délce první fáze datového bloku IE. Během této doby poklesne sběrnice na spodní hranici nízké úrovně (log0), což vyvolá přerušení v modulu *slave* a tím synchronizaci probíhajícího informačního přenosu. Na obrázku 86 jsou patrný všechny důležité segmenty datového přenosu jak na straně modulu *master*, tak v modulu *slave*.



**Obrázek 86:** Jednotlivé procesní bloky přenosu jednoho bitu

Předpoklad úspěšného časování přenosu nespočívá pouze ve včasné synchronizaci, ale také ve znalosti časových poměrů na sběrnici – přenosové rychlosti. V komunikačním záhlaví každého

rámcem je vysílán bit MC, prezentovaný log0 vysílanou *masterem*. Jeho doba ( $t_{MC}$ ) je časovým etalonem modulu *slave* pro celý datový paket. Modul *slave* nemusí mít časovou základnu řízenou krystalem (tolerance 10–20 ppm), postačí vnitřní oscilátor (tolerance 5–10 %). Modul *slave* tuto dobu použije:

- pro výpočet ukončení vysílání s časově řízeným režimem,
- pro výpočet doby snímání stavu sběrnice.

### Časování modulu master

Přenos jednoho bitu neboli informační blok (IB) řízený modulem *master*, je rozdělen do dvou částí:

1. Záhlaví přenosu jednoho bitu ( $t_{BS}$ ) – pokles sběrnice ( $t_{IE}$ ) a prodleva pro zpracování dat ( $t_{ID}$ ).
2. Přenos jednoho bitu ( $t_{IT}$ ) – vzestup sběrnice ( $t_{TNS}$ ), doba vzorkování sběrnice ( $t_{SI}$ ) a bitová ukončovací sekvence ( $t_{TBS}$ ).

Záhlaví přenosu jednoho bitu je dáno jednak obvodovými parametry ( $t_{IE}$ ) a také procesní prodlevou ( $t_{ID}$ ), umožňující modulu *slave* zpracovat požadavky kladené na přenos – vztahy (18)(19). Záleží na výpočetní rychlosti mikrokontroléru v modulu *slave*, popřípadě dalších vlivech zpomalujících zpracování dat.

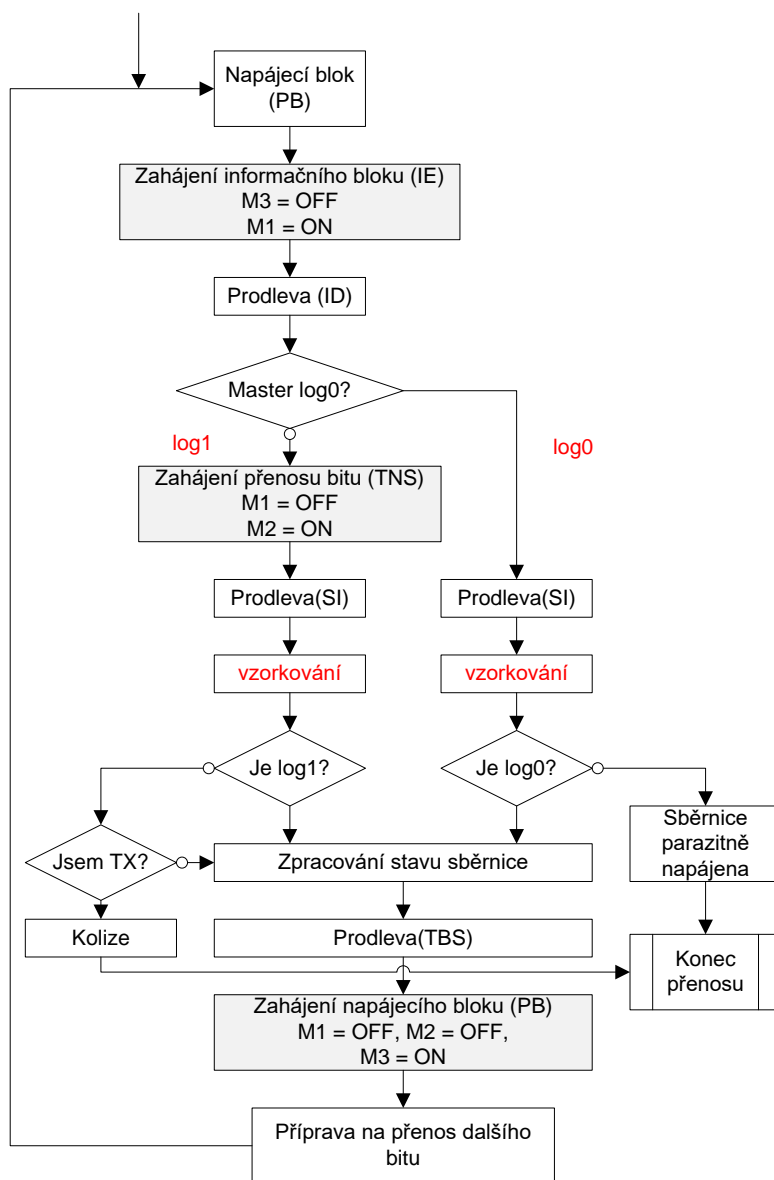
Doba datového přenosu bitu  $t_{IT}$  je dána především rychlostí přepnutí sběrnice do log1 ( $t_{TNS}$ ) prostřednictvím *pull-up* rezistoru R2 – vztah (77), dobou snímání sběrnice ( $t_{SI}$ ) procesní prodlevou ( $t_{TBS}$ ). Celková doba musí v sobě zahrnovat součet tolerancí časovačů obou komunikujících modulů, prostor pro skenování sběrnice a rezervu rychlosti náběhu.

Informační blok IB				
Bitová synchronizace IB		Přenos informace IT		
$t_B$		$t_T$		
log1–log0 IE	synchro ID	log0–log1 TNS	vzorkování SI	rezerva TBS
$t_{IE}$	$t_{ID}$	$t_{TNS}$	$t_{SI}$	$t_{TBS}$

**Obrázek 87:** Znázornění časových průběhů v modulu *master*

Na obrázku 87 je znázorněn příklad časování sekce IB v modulu *master*. Pokud není impedance sběrnice přesně dána, popřípadě může nabývat hodnot s velkým rozkmitem, měly by se

navrhnout časové rezervy delší. Tím se sníží možnost komunikačních ztrát, nicméně sníží se přenosová rychlost a zvýší se nároky kladené na záložní kapacitor. Časy tolerančních pásem v sobě nezahrnují pouze nepřesnost vnitřního oscilátoru, ale také kvantizaci časovače mikrokontroléru, výpočetní rychlost atd. Na obrázku 88 je znázorněn vývojový diagram procesu informačního bloku IB v modulu *master*.



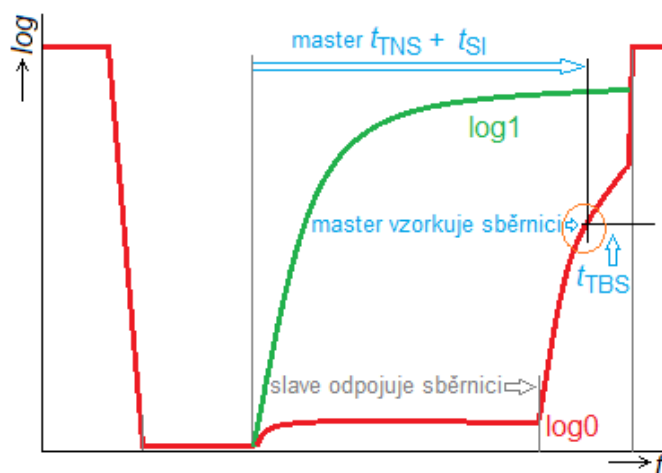
**Obrázek 88:** Vývojový diagram procesů v modulu *master* při přenosu jednoho bitu

Informační blok je zahájen odpojením výkonu od sběrnice (M3) a jejím uzemněním (M1) – doba  $t_{IE}$ . Následuje prodleva nutná pro umožnění synchronizace modulu *slave* a jeho připravení k validní komunikaci – doba  $t_{ID}$ . Po uplynutí této doby modul *master* zahájí přenos informace IT. Pokud vysílá log0, nechá sběrnici na stávající hodnotě, v ostatních případech zvedne její úroveň (M2). Doba přechodu logické úrovně sběrnice je označena  $t_{TNS}$ . Během této doby se

sběrnice překlopí do stavu  $\log 1$ , ovšem za předpokladu, že modul *slave* nevysílá  $\log 0$ . V tom okamžiku setrvá sběrnice ve stavu nízké úrovně, jejíž velikost je dána odporovým děličem  $R3-R4$ . Jakmile je dosaženo doby  $t_{TNS}$ , modul *master* odečítá stav sběrnice buď po celou dobu  $t_{SI}$  (*Sample Interval*), nebo po jejím uplynutí a získanou informaci zpracuje. Mohou nastat, kromě provozních stavů, také stavy nadstandardní a to kolize, anebo přítomnost cizího zdroje. Oba případy mohou nastat v okamžiku, kdy modul *master* vysílá data a na sběrnici se objeví nežádoucí (opačná) hodnota. Způsob zpracování této nežádoucí informace není předmětem popisu fyzické vrstvy. Konkrétní implementace by měla umět tento stav vyhodnotit a zpracovat.

Jakmile je stav sběrnice odečten, spustí se časovač  $t_{TBS}$  (*Bit Termination Sequence*) a modul *master* vyčká na dobu jeho uplynutí. Poté je sběrnice uvedena do napájecího bloku (PB) tím, že se odpojí tranzistor M2 a připojí se výkonový tranzistor M3. Je zahájeno časování délky napájecího bloku ( $t_{PB}$  – *Power Block*) a připraví se data pro odvysílání následujícího bitu. Prodleva  $t_{TBS}$  je odvislá na způsobu řízení vysílání dat modulem *slave*.

Pokud modul *slave* používá vypínání  $\log 0$  časovou synchronizací, je nutné použít větší rezervu pro interval vypínání. Tento režim je energeticky úspornější, neboť nedochází ke kolizi na větvi M3–M4, ale na druhé straně vyžaduje větší časovou rezervu – tudíž je pomalejší. Jestliže modul *slave* pracuje v režimu proudově dimenzovaného odepínání komunikace, může být časová rezerva  $t_{TBS}$  malá, popřípadě nulová. Modul *master* má jistotu, že v okamžiku skenování nemá modul *slave* odpojenou sběrnici v důsledku časové synchronizace.



**Obrázek 89:** Časový průběh odpojování – kolize vzniklá nevhodným časovým posunem

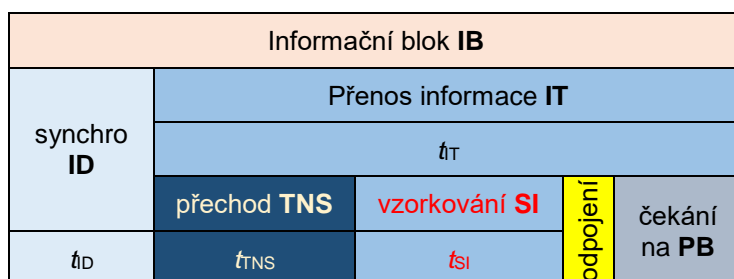
Na obrázku 89 je znázorněna situace špatného časování. Úsek TBS nemá dostatečnou rezervu a *master* snímá sběrnici v době, kdy modul *slave* už odpojel komunikační tranzistor. V důsledku čehož může být stav sběrnice opačně vyhodnocen. Pokud by se prodloužila doba  $t_{TBS}$ , k chybě



by nedošlo, protože modul *slave* si vypočítá dobu odpojení od doby celkové délky přenosu bitu, tedy doba odpojení by byla rovněž prodloužena.

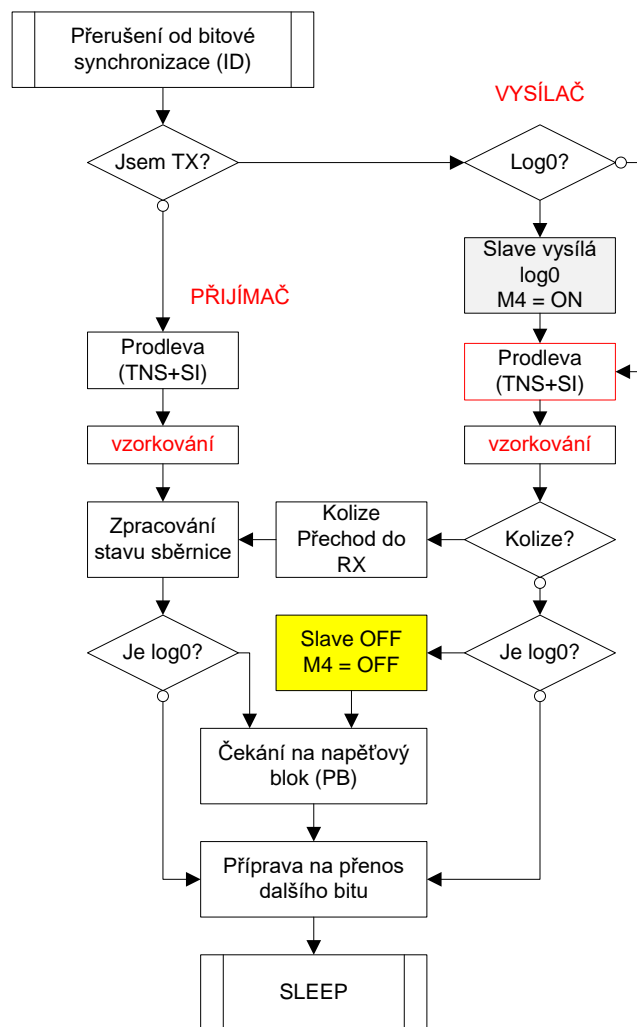
### Časování modulu *slave*

Modul *slave* z principu neřídí datový přenos, pouze jej dokáže za určitých okolností ovlivňovat. Nedisponuje navíc ani přidavným informačním signálem, kterým by si vynutil komunikaci. Musí se spolehnout na zahájení komunikace prostřednictvím modulu *master*, přičemž v záhlaví paketu (MA) může požádat o datový přenos. Datový přenos je pro modul *slave* událostí asynchronní, z toho důvodu musí být modul předem připraven na příchozí paket. První bit paketu (MC) je určen pro změření délky přenosu jednoho bitu. Tento údaj použije modul *slave* pro výpočty ostatních časů (snímání sběrnice, časové odpojení). Doba snímání ( $t_{SI}$ ) se stanoví jako doba naměřená ( $t_{MC}$ ) v prvním bitu MC od které je odečtena rezerva spojená s nejistotou měření  $t_{MC}$ . Na obrázku 90 je zachycen přenos jednoho bitu s rozvržením časování. Jedná se režim s **časovým odpojováním spínače** v modulu *slave*.



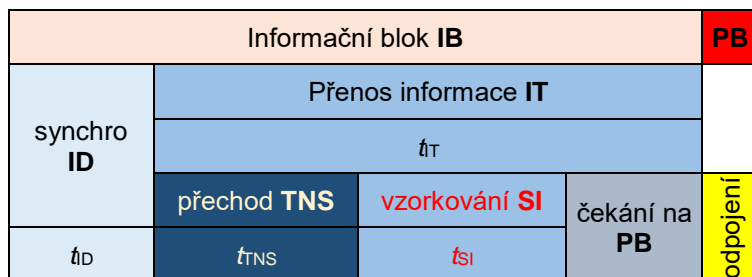
**Obrázek 90:** Znázornění časových průběhů v modulu *slave* s časovým odpojením

Na obrázku 91 je znázorněn vývojový diagram komunikujícího modulu *slave* s režimem časového odpojování spínače. Na začátku je vyvoláno přerušení jako asynchronní podnět k zahájení komunikace. Modul *slave* musí dopředu vědět, zdali bude žádat modul *master* o vysílání, popř. zdali bude pracovat jako přijímač. Pokud je modul *master* nastaven jako vysílač, a navíc bude vysílat log0, okamžitě sepne tranzistor M4 a vyčká na ukončení doby  $t_{TNS}$ . Po ukončení zmíněné doby je nasnímán stav sběrnice a informace o stavu je vyhodnocena. Zde mohou nastat dvě kolize. Modul *slave* je podřízený a nemá možnost žádným způsobem ovlivnit či modifikovat datový tok. Může pouze data znehodnotit vysláním log0 v místech, kdy mu není vysílání dovoleno. Arbitráž chybových rámců, nestandardních přepnutí není v rámci této sběrnice řešena, tu by měla řešit až nadstavba jejího protokolu. Při zjištění kolize, by se měl modul *slave* přepnout do role přijímače a pokračovat dál v komunikaci jako pasivní člen – přijímač.



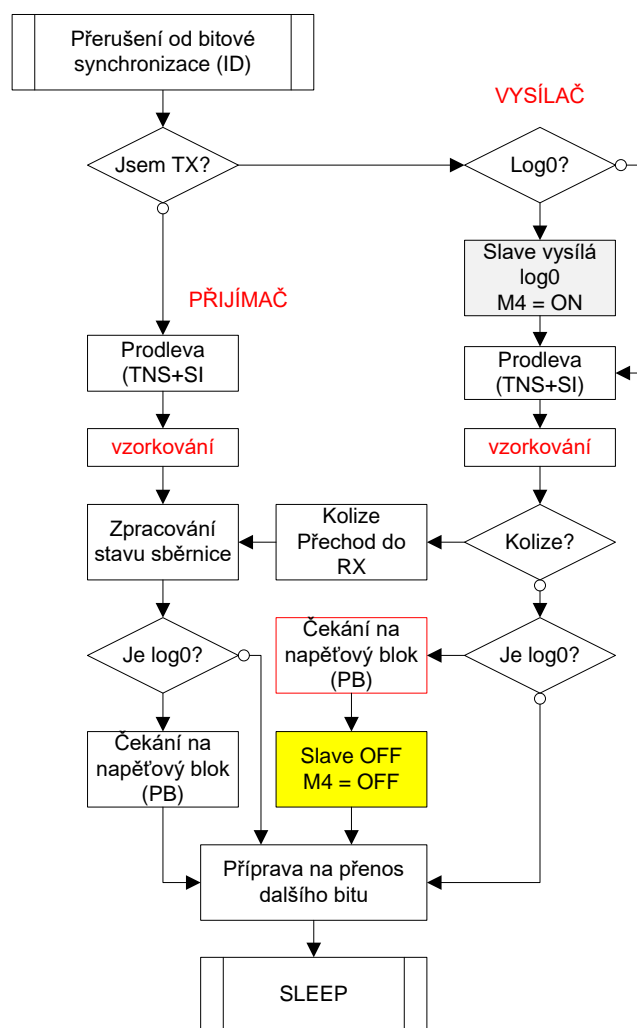
**Obrázek 91:** Vývojový diagram procesů v modulu *slave* při přenosu jednoho bitu s časovým řízením odpojení spínače M4

Jakmile je sběrnice nasnímána, modul *slave* (pokud vysílal log0), odpojí tranzistor M4 a vyčká na připojení napěťové úrovně (PB). Pokud *slave* vysílal, nebo přijal log1, nemůže čekat na přechod do napájecího bloku, připraví si pozici na další přerušení inicializované přenosem dalšího bitu a přejde do komunikační neaktivity.



**Obrázek 92:** Znázornění časových průběhů v modulu *slave* s proudovým odpojením

Obrázek 92 ukazuje modul *slave*, který neřídí odpojení komunikačního spínače časově, ale **proudovým dimenzováním**. Celý informační blok probíhá obdobně, pouze po nasnímání sběrnice modul *master* neodpojí spínač M4 (pokud byl připojen), ale vyčká přechodu do stavu log1 (PB). Ihned po zjištění přepnutí, musí neprodleně vypnout spínač M4, protože okamžik kolize spínačů M3–M4 je energeticky nejnáročnější z celého datového přenosu a okamžité ukončení tohoto stavu je nanejvýš žádoucí.



**Obrázek 93:** Vývojový diagram procesů v modulu *slave* při přenosu jednoho bitu s proudovým řízením odpojení spínače M4

Vývojový graf z obrázku 93 ukazuje celý komunikační proces modulu *slave*. Žlutě zvýrazněný blok realizuje odpojení tranzistoru M4 od sběrnice.

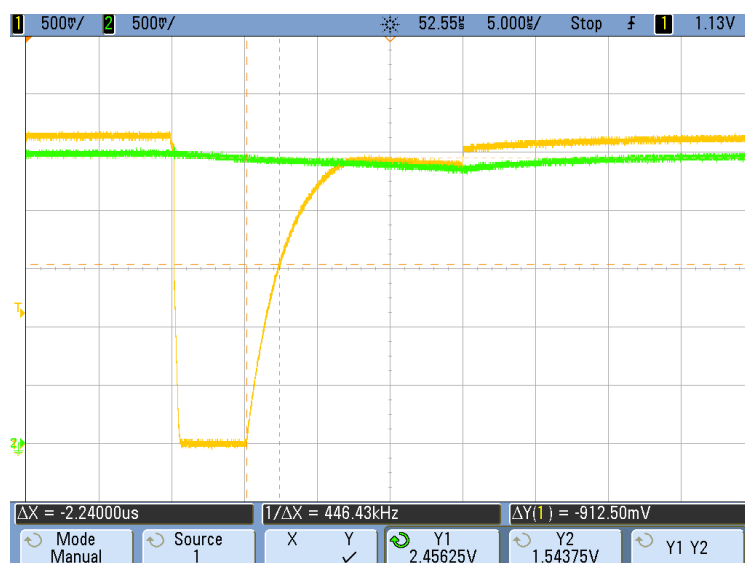
## 4.2.5 Energie spotřebovaná při komunikaci

V nízkopříkonovém režimu je jakákoliv spotřeba elektrické energie významná a může hrát klíčovou roli v životnosti napájecí baterie. Stejně tomu tak může být v případě spotřeby energie během komunikace. Z předchozího návrhu je zřejmé, že komunikace není zatížena přílišnou spotřebou, pro kvalifikovaný odhad je potřeba ji vyčíslit. Pro výpočet konzumace elektrické energie během přenosu je nutná znalost těchto veličin:

- činná zátěž sběrnice a vstupních obvodů modulu *slave*,
- kapacita sběrnice a vstupních obvodů modulu *slave*,
- doba trvání datového přenosu jednoho bitu  $t_{IB}$ ,
- režim odepínání spínače modulu *slave* (časový, proudový),
- četnost/počet vysílaných log0 modulem *slave*.

První dva údaje dokážeme změřit, popřípadě odhadnout a poslední údaj lze získat empiricky, popřípadě statistickým odhadem. Zbývající parametry jsou známy a vyplývají z návrhu provozu sběrnice.

Činná zátěž a kapacita celé přenosové soustavy zatěžuje sběrnici po dobu celého vysílání. Pro přesné stanovení lze změřit průběh přenosu jednoho bitu a uvedené údaje vypočítat. Na obrázku 94 je zachycen průběh z osciloskopu při přenosu log1. Žlutým průběhem je znázorněna napěťová úroveň sběrnice a zeleným (pouze pro ilustraci) je úroveň napájecího napětí na modulu *slave*.



**Obrázek 94:** Ukázka reálného průběhu přenosu buňky 1 bit

Činnou zátěž můžeme vypočítat prostřednictvím znalosti vstupního i výstupního napětí na děliči a sériového odporu. Pro výpočet zátěžového odporu platí:

$$U_{bus} = U_{CC} \frac{R_{bus}}{R_2 + R_{bus}},$$

$$R_{bus} = \frac{R_2 U_{bus}}{U_{CC} - U_{bus}}. \quad (86)$$

Na příkladu ze záznamu osciloskopu je napětí  $U_{CC} = 2,65 \text{ V}$ ,  $U_{bus} = 2,46 \text{ V}$  a  $R_2 = 10 \text{ k}\Omega$ . Činná zátěž přenosové soustavy podle (86):

$$R_{bus} = \frac{10 \cdot 10^3 \cdot 2,45}{2,65 - 2,45} = 122\,500 \text{ k}\Omega. \quad (87)$$

Kapacitu sběrnice získáme ze znalosti exponenciálního průběhu jejího nabíjení. Pro nabíjení kapacitoru prostřednictvím odporu platí:

$$u_C = U \left( 1 - e^{\frac{-t}{RC}} \right). \quad (88)$$

V technické praxi je zaveden pojem: *časová konstanta*  $\tau$ , platí:  $\tau = RC$ . Tato veličina ukazuje, že za dobu  $t = 1\tau = RC$  se kapacitor nabije z nulové hodnoty na cca 63 %.

Důkaz:

$$1 - \frac{u_C}{U} = e^{\frac{-t}{RC}} \rightarrow \text{pokud } t = RC, \text{ potom:}$$

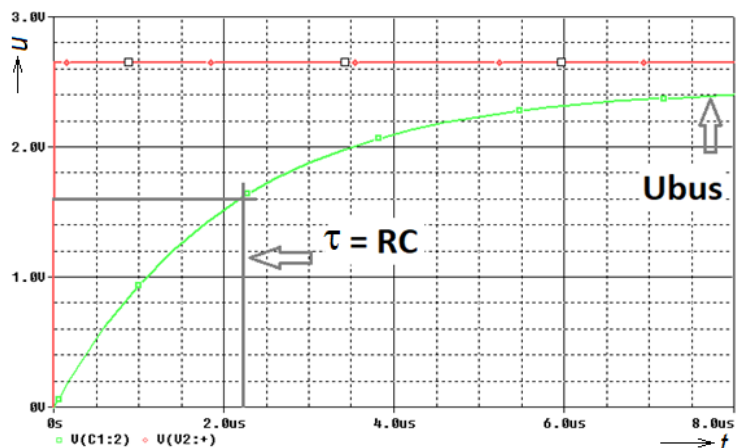
$$1 - \frac{u_C}{U} = e^{-1} = 0,37, \quad (89)$$

$$0,63 = \frac{u_C}{U} \rightarrow u_C = U \cdot 0,63.$$

Z průběhu záznamu je zřejmé, že doba  $t = 1\tau$  má velikost  $2,24 \text{ }\mu\text{s}$ , proto lze vypočítat kapacitu sběrnice jako:

$$\tau = RC \rightarrow C = \frac{\tau}{R} = \frac{2,24 \cdot 10^{-6}}{1 \cdot 10^4} = 224 \text{ pF}. \quad (90)$$

Vypočtené hodnoty sběrnice, tedy zátěž  $R = 122,5 \text{ k}\Omega$  a kapacita  $C = 224 \text{ pF}$ , jsou ověřeny simulací, která vykazuje obdobný průběh, jako reálný záznam. Viz obrázek 95.



**Obrázek 95:** Simulaci ověřená časová konstanta přenosové soustavy

Jelikož nelze předem stanovit informační hodnotu přenášených dat, je vhodné empiricky odhadnout výskyt přenášených úrovní (log0 a log1) a také směřování toku (*master–slave/slave–master*). Při předpokladu rovnoměrného rozdělení směru vysílání mezi modul *master* a *slave* a také při předpokladu rovnoměrného rozdělení přenášených log1 a log0, na každý případ vychází 25 % pravděpodobnost výskytu.

**Master/slave vysílá log1.** V tomto případě je pouze doplněn náboj do sběrnice, který byl na začátku přenosu odebrán a dodává se proud protékající parazitní činnou zátěží. Platí:

$$W_{log1} = \frac{1}{2} C_{bus} U_{CC}^2 + t_{IT} \frac{U_{CC}^2}{R_{bus}} = U_{CC}^2 \left( \frac{C_{bus}}{2} + \frac{t_{IT}}{R_{bus}} \right), \quad (91)$$

kde  $C_{bus}$  a  $R_{bus}$  jsou parazitní hodnoty sběrnice a  $t_{IT}$  je doba přenosu jednoho bitu.

**Master vysílá log0.** V tomto případě dochází pouze k doplnění energie parazitní kapacity sběrnice. *Master* trvale udržuje sběrnici v nízké úrovni napájení, tedy M1 pracuje jako *open drain*. Platí:

$$W_{Mlog0} = \frac{1}{2} C_{bus} U_{CC}^2. \quad (92)$$

Situace, kdy **slave vysílá log0** na sběrnici, patří k energeticky nejnáročnějším. Po dobu vysílání  $t_{IT}$  je zapojen dělič R2–R4, kterým protéká trvalý statický proud. Na konci přenosu musí být opět dodána energie pro nabití parazitní kapacity sběrnice. Pro tento stav platí:

$$W_{Slog0} = \frac{1}{2} C_{bus} U_{CC}^2 + t_{IT} \frac{U_{CC}^2}{R_2 + R_4} = U_{CC}^2 \left( \frac{C_{bus}}{2} + \frac{t_{IT}}{R_2 + R_4} \right). \quad (93)$$

V tomto případě protéká proud reálnými součástkami, ne pouze parazitními obvody.

Pro empirický výpočet energie spotřebované pro přenos informace o velikosti 1 B a při rovnoměrném rozdělení směru toku dat a stejného počtu přenesených úrovní  $\log_0$  a  $\log_1$ , lze určit vztah pro výpočet energie:

$$W_{1B} = 2(2W_{\log_1} + W_{M\log_1} + W_{S\log_0}),$$

$$W_{1B} = 2U_{CC}^2 \left( 2C_{bus} + \frac{t_{IT}(2R_2 + 2R_4 + R_{bus})}{R_{bus}(R_2 + R_4)} \right). \quad (94)$$

Podle (94) spotřebuje během komunikace soustava *master – slave* z příkladu na obrázku 74  $W_{1B} = 2,88 \cdot 10^{-8}$  J energie na 1 B. Tato hodnota vztažená na kapacitu baterie o nominálním napětí 3 V, má velikost  $Q = 9,6$  nC. Což koresponduje s odčerpáním kapacity o velikosti  $2,67 \cdot 10^{-12}$  Ah. Pokud je soustava napájena Lithiovou baterií CR2016 (kapacita 90 mAh), lze s využitím veškeré energie v baterii přenést 33 TB informace. Vypočtená hodnota není klíčová, během provozu jsou kontinuálně napájeny moduly *master* i *slave*, jejichž spotřeba je poměrně vyšší než spotřeba komunikace.

#### 4.2.6 Zvýšení efektivity provozu hybridní sběrnice

V této kapitole budou popsány dvě možnosti optimalizace vedoucí ke zlepšení efektivity. Jedno opatření (obvodové) řeší snížení spotřeby při ukončení přenosu bitu a zároveň umožňuje zkrácení přenosu, druhé (procesní) umožní snížení spotřeby během přenosu. Tato opatření nejsou zásadní, nicméně umožní snížení spotřeby energie, aniž by negativně ovlivnili datový přenos, popřípadě enormně navýšili cenový rozpočet navrhovaného zařízení.

##### Zrychlení řízení přepínání sběrnice modulem slave

Předpokládá se, že veškeré procesy datového přenosu budou řízeny mikrokontrolérem (MCU), tedy sekvenčně. Z toho důvodu je do sběrnice zaveden blok (ID – *Interrupt Delay*) s časovou prodlevou  $t_{ID}$ , která slouží právě k pokrytí:

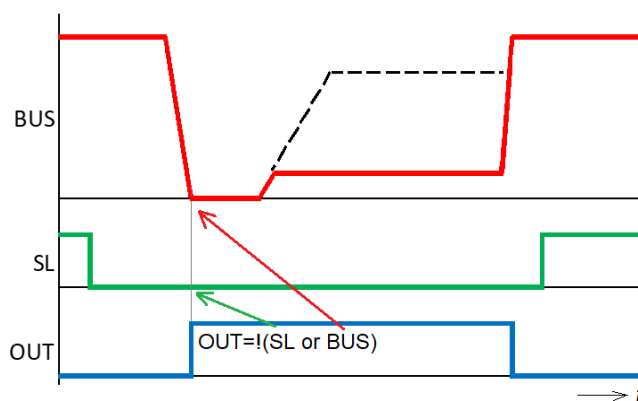
- přerušení MCU,
- spuštění časovače,
- rozhodovacího procesu ( $\log_0/\log_1$ ),
- sepnutí tranzistoru.

Při využití výhody kombinačních obvodů (bezprostřední reakce na podnět), je možné na straně modulu *slave* nastavit s předstihem řídicí signál pro tranzistor M4 a nezpracovávat jej až v okamžiku synchronizace se sběrnici (ID – *Interrupt Delay*). Signál lze nastavit na začátku předchozího napájecího bloku, a jakmile sběrnice přejde po jeho ukončení do stavu log0 (IE – *Interrupt Edge*, budič LL – *Low Level*), řídicí signál dříve nastavený se dopraví do spínače M4 (HL – *Hard Level*). Logická tabulka (tabulka 8) popisovaného průběhu odpovídá logickému obvodu NOR.

**Tabulka 8:** Logická tabulka dopředného řízení spínače MA v modulu *slave*

BUS	SL	OUT
0	0	1
0	1	0
1	0	0
1	1	0

Časový průběh dotčených signálů je zobrazen na obrázku 96. Řídicí signál SL (*Soft Level*) z MCU je tedy nastaven již po ukončení přenosu předchozího bitu a jelikož sběrnice je ve stavu log1, tento signál se prozatím neuplatní pro řízení M4. Jakmile sběrnice přejde do stavu log0, výstupní signál okamžitě realizuje negaci požadovaného SL a tím umožní ovládání M4 v okamžiku přenosu dat. Ten samý proces se odehrává na konci přenosu. Pokud modul *slave* řídí spínač časovačem, tak po uplynutí doby vypne tranzistor a sběrnice se odpojí od stavu log0. Jestliže modul *slave* řídí spínač proudovým přepínáním, může se signál SL odpojit po zahájení napájecího bloku. Tentokrát není doba odpojení kritická, protože kombinační obvod zajistí okamžité vypnutí M4 (v řádech ns) i když signál SL v okamžiku přechodu setrvává v úrovni log0.

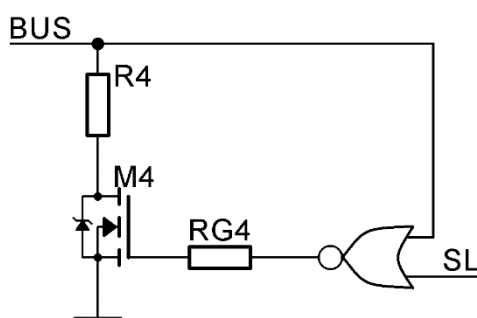


**Obrázek 96:** Časové schéma ovládání spínače M4 pomocí NOR



Z průběhů na obrázku vyplývá, že tranzistor může kopírovat časování stavu sběrnice mnohem precizněji než v případě sekvenčního zpracování. Signál SL, tedy nemá kritické časování – v úvodní, ani v závěrečné části datového přenosu.

Vzhledem ke skutečnosti, že signál ze sběrnice je spojitý, měl by být vstup logického obvodu (na obrázku 97) ošetřen například ST vstupem (*Schmitt Trigger*), který jednoduchým způsobem realizuje převod signálu na nespojitý. Pokud by se vstup neošetřil, mohla by být uvedená energetická úspora, spotřebována při nedokonalém přepínání mezi logickými stavy sběrnice. Sběrnice, pokud je snímána sekvenčním obvodem, nevyvolá množství zákmitů, jelikož je její úroveň snímána pouze v určeném časovém úseku. Kombinační obvod je nutné vybavit úpravou vstupů, na něž je přiváděn „nedigitální“ signál. Další problém při použití externího kombinačního obvodu je schopnost vygenerovat na svém výstupu dostatečný náboj do řídicí elektrody M4. Proto by měl být obvod NOR vybaven posílením výstupu.



**Obrázek 97:** Schéma ovládání spínače M4 pomocí NOR

NOR řízení tranzistoru M4 lze při provozu dosáhnout zvýšení efektivity v následujících bodech:

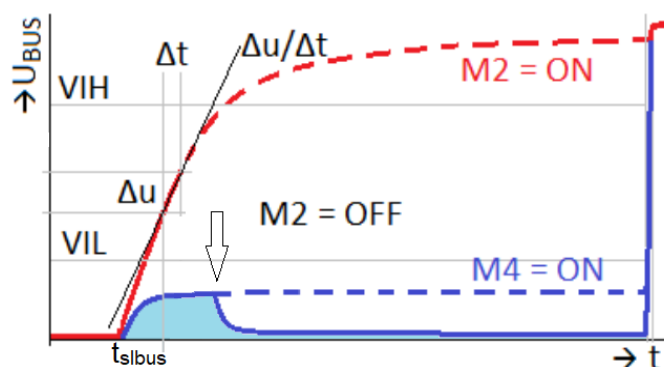
- zrychlení doby  $t_{ID}$  na minimum (dáno vstupními parametry MCU a NOR) – zvýšení přenosové rychlosti,
- zkrácení doby proudového nárazu při proudově dimenzovaném řízení spínače *slave* – eliminace spotřeby energie.

Minimalizace doby  $t_{ID}$  by spočívala pouze na vstupních parametrech přijímače. Mikrokontroléry disponují parametrem  $t_{int}$  (*External Interrupt Timing*) jehož hodnota se pohybuje v řádu desítek nanosekund. U kombinovaných obvodů je pro určení minimalizace důležitá hodnota  $t_{pd}$  (*Propagation Delay*), která se opět pohybuje (podle rodiny logických obvodů) v řádech jednotek až desítek nanosekund. Z obou uvedených hodnot vyplývá, že na straně přijímače není snížení hodnoty  $t_{ID}$  na minimum nijak kritické.

### Snížení spotřeby přenosu bitu modulu master

V případě, kdy modul *slave* vysílá log0, je dosaženo nejvyšší energetické spotřeby. Tato trvá po celou délku vysílání informace jednoho bitu (IT – *Information Transmission*). Přenosy ostatních logických stavů vykazují zlomkovou spotřebu. Úspora v tomto okamžiku přinese tedy podstatné zlepšení energetických parametrů přenosu.

Při zahájení přenosu bitu (IT), *master* připojí tranzistor M2 a napěťová úroveň na sběrnici se bude odvíjet podle přenášených dat. Pokud modul *slave* vysílá log1, neovlivní sběrnici a její úroveň se po čase dostane do vysokého stavu (na obrázku 98 červený čárkovaný průběh). Když modul *slave* vysílá log0, ovlivní pomocí M4 a R4 sběrnici a její úroveň setrvá v nízkém stavu. V tuto chvíli teče skutečný ustálený proud obvodem M2–M4, a to po celou dobu vysílání.



**Obrázek 98:** Časový průběh včasného detekování stavu a trendu sběrnice modulem *master*

Na obrázku 98 je neupravený průběh na sběrnici zobrazen čárkovaně. Pokud je sepnut M4, sběrnice se pohybuje po modrém průběhu, pokud není sepnut, po červeném.

Optimalizace spočívá v následujícím postupu:

Po uplynutí určité doby ( $t_{slbus}$ ) od zahájení (IT), dané vztahem:

$$t_{slbus} > -RC \ln \left( 1 - \frac{V_{IL}}{U_{CC}} \right), \quad (95)$$

Lze změřit napěťovou úroveň sběrnice pomocí AD převodníku (ADC). Po uplynutí doby  $\Delta t$ , se provede druhé měření její úrovně. Dobu  $\Delta t$  lze stanovit co nejmenší – podle možností konkrétního AD převodníku. Z obou měření úrovní lze vypočítat směrnicí tečny (prostřednictvím diferenciálu) dynamického nárůstu úrovně sběrnice. Po výpočtu směrnic lze podle napěťové úrovně  $u_{AD}$ , a směrnic tečny  $k = \Delta u / \Delta t$  zjistit v jakém dynamickém stavu se sběrnice nachází a jaký bit je právě přenášen. Pokud platí:

$$u_{AD} > V_{IL} \bigwedge 5 > k > 1/5, \quad (96)$$

modul *slave* vysílá log1, tedy neovlivňuje sběrnici. Pokud zjištěná měření splňují následující podmínky:

$$u_{AD} < V_{IL} \bigwedge k \rightarrow 0,5, \quad (97)$$

modul *slave* vysílá log0. Pokud je zjištěna tato skutečnost, tak může modul *master* odpojit tranzistor M2. Úroveň sběrnice se tím nezmění, ale totemem M2–M4 přestane protékat proud. Namísto spotřeby proudu po celou dobu průběhu bude proud spotřebován pouze po krátkou dobu – na obrázku světle modře podbarveno. Napětíový průběh se bude pohybovat po plné modré čáře – viz obrázek 98. Ostatní vyhodnocené stavy (jiné úrovně, jiné sklony křivky) mohou být rovněž zpracovány a vyhodnoceny – jako například: nezatížená sběrnice, cizí napájecí soustava na sběrnici atd.

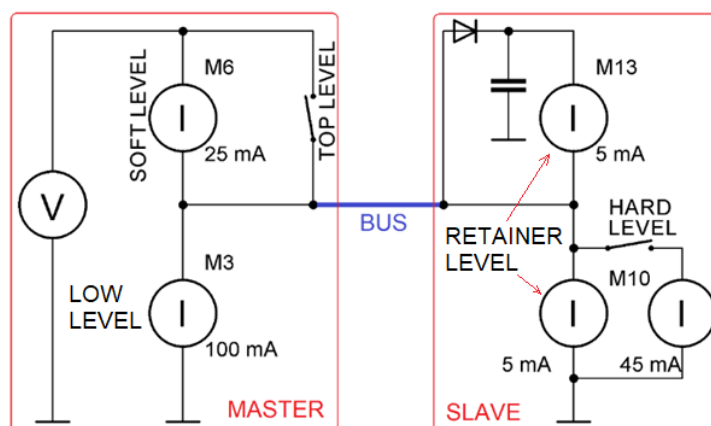
Tato metodika nabývá na významu při pomalejším přenosu. Pokud délka trvání přenosu jednoho bitu ( $t_{IT}$ ) je menší než 5  $\mu$ s, nevede výše popsané opatření k přílišné efektivitě. Samo měření a výpočet zabere určitý strojový čas, a tím i vyšší spotřebu proudu.

Obě opatření se mohou projevit na spotřebě, potažmo na životnosti baterie. Celková spotřeba závisí na dalších faktorech (četnost komunikace, spínání vyšších zátěží...), proto nasazení výše uvedených opatření by mělo být předmětem podrobnější analýzy návrhu.

### 4.3 Návrh výkonové hybridní sběrnice

V případě, kdy spotřeba všech komunikujících prvků není kritická, popřípadě při nutnosti dodávky více napájecí energie podřízeným modulům, nebo v případě rychlejšího přenosu na delší vzdálenosti, lze navrhnout hybridní sběrnici pracující ve výkonovém módu. Budiče nemohou být v tomto případě realizovány jako tranzistorové spínače se sériovým rezistorem. Rezistivní zátěž má nepříznivě skloněnou zatěžovací charakteristiku, která by posouvala napětí mimo rámec digitálních úrovní. Stav log0 by se proto mohl pohybovat nad hranicí  $V_{IL}$  a stav log1 pod  $V_{IH}$ . Proudový zdroj tvořený tranzistorem tvoří aktivní zátěž protilehlému proudovému zdroji (viz 4.1.3). Vzájemné vytvoření aktivní zátěže má díky malému sklonu zatěžovací charakteristiky mnohem příznivější napětíové výsledky. Díky situaci, kdy proudový zdroj

generuje proud o jiné velikosti, než jakou hodlá generovat jeho aktivní zátěž, pohybuje se napětí na propojovacím uzlu protilehlých zdrojů v mezních hodnotách (okolo GND nebo  $U_{DD}$ ).



**Obrázek 99:** Blokové schéma zdrojů proudu budičů výkonové sběrnice

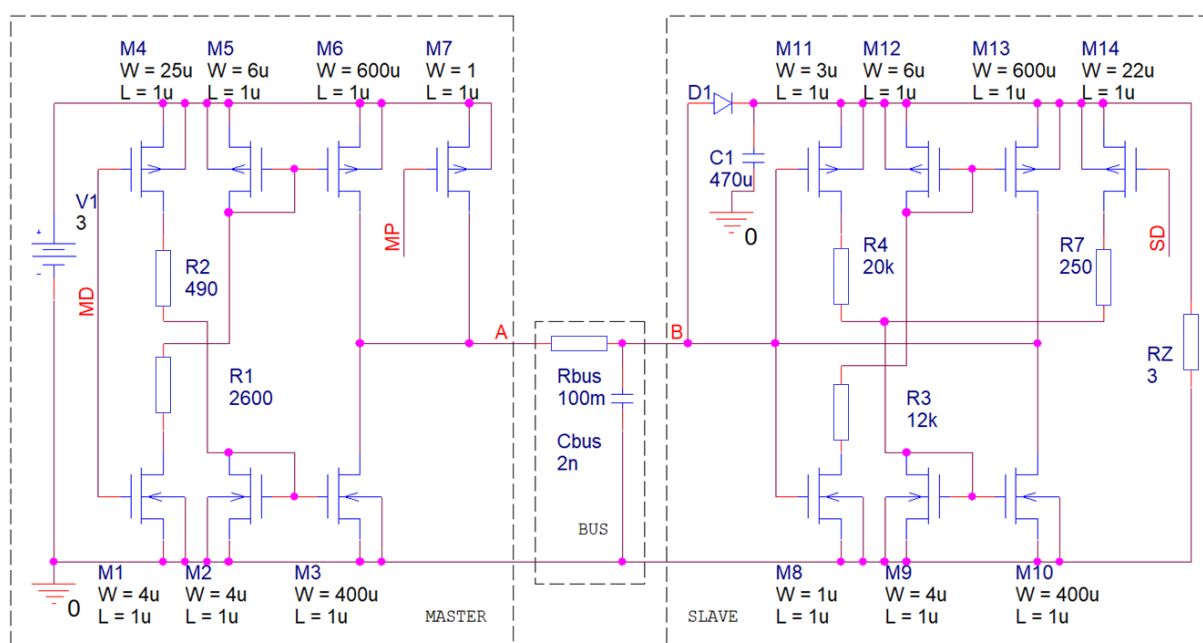
Ideové schéma použití aktivních proudových zdrojů coby budičů sběrnice je znázorněno na obrázku 99. Jsou zde zdůrazněny příklady možných hodnot proudových úrovní pro jednotlivé stupně ovládání, tedy:

- TL (*Top Level*) – napájení *master*, bez omezení.
- HL (*Hard Level*) – log0 *slave*, 50 mA
- SL (*Soft Level*) – log1 *master*, 25 mA,
- LL (*Low Level*) – přizemnění sběrnice *master*, 100 mA,
- RL (*Retainer Level*) – upínač sběrnice *slave*, 5 mA.

Výše proudových poměrů na sběrnici zajišťuje potřebnou rychlost a také odolnost proti rušení, což bude v další části návrhu formulováno a vypočítáno. Budiče sběrnice budou navrhnuty ve formě mikroelektronického návrhu a také ve formě diskretních prvků. Návrh mikroelektronických layoutů, použité technologie, pouzdrění, popřípadě dalších mikroelektronických výpočtů (*matching*, korekce teplotních vlivů...) nejsou předmětem této práce. Rovněž diskretní návrh se nezabývá technologickým návrhem a výrobním postupem konkrétních budičů. Vše je prezentováno v ideové formě tak, aby byly vypočítány, případně navrženy všechny potřebné parametry návrhu a zároveň byly diskutovány problémy spojené s uvedeným návrhem.

### 4.3.1 Mikroelektronický návrh budičů sběrnice

Dimenzované proudové zdroje lze realizovat prostřednictvím proudových zrcadel. Pomocí diskrétních součástek je téměř nemožné realizace zmíněných obvodů, proto budou v této kapitole vypočítány parametry aktivních součástek umístěných na čipu. Jak bylo již zmíněno, nejedná se o návrh digitálního obvodu, pouze jeho klíčových částí. Díky tomu nebudou předloženy layouty návrhu, interval provozních a mezních podmínek, návrh vnitřních referencí a podpůrných obvodů jako je detektor maxima aj. Součástí návrhu bude výpočet všech budičů podílejících se na provozu sběrnice a jejich dopad na provoz sběrnice. Na obrázku 100 je kompletní schéma budičů sběrnice.



**Obrázek 100:** Schéma budičů výkonové sběrnice pomocí mikroelektronické struktury

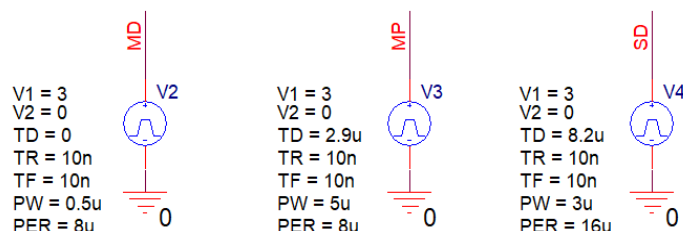
Modul *master* disponuje těmito spínanými budiči: M7–TL (*Top Level*), M6–SL (*Soft Level*), a M3 zemnič sběrnice – LL (*Low Level*). Tranzistory M1 a M4 tvoří distributory proudu a tranzistory M2 a M5 vstupy protilehlých proudových zrcadel. Sběrnice a oba komunikační moduly jsou napájeny napětím  $U_{DD} = 3\text{ V}$ .

Sběrnice je prezentována malým parazitním odporem  $R_{bus} = 100\text{ m}\Omega$  a velkou příčnou kapacitou  $C_{bus} = 2\text{ nF}$ .

Modul *slave* disponuje upínačem sběrnice M10 a M13 – RL (*Retainer Level*), vstupním distributorem proudu M8 a M11 a také vstupy protilehlých proudových zrcadel M9 a M12.

Tranzistor M14 tvoří spolu s M11 distributor spínače HL (*Hard Level*), který vznikne proudovým posílením zrcadla M9 a M10.

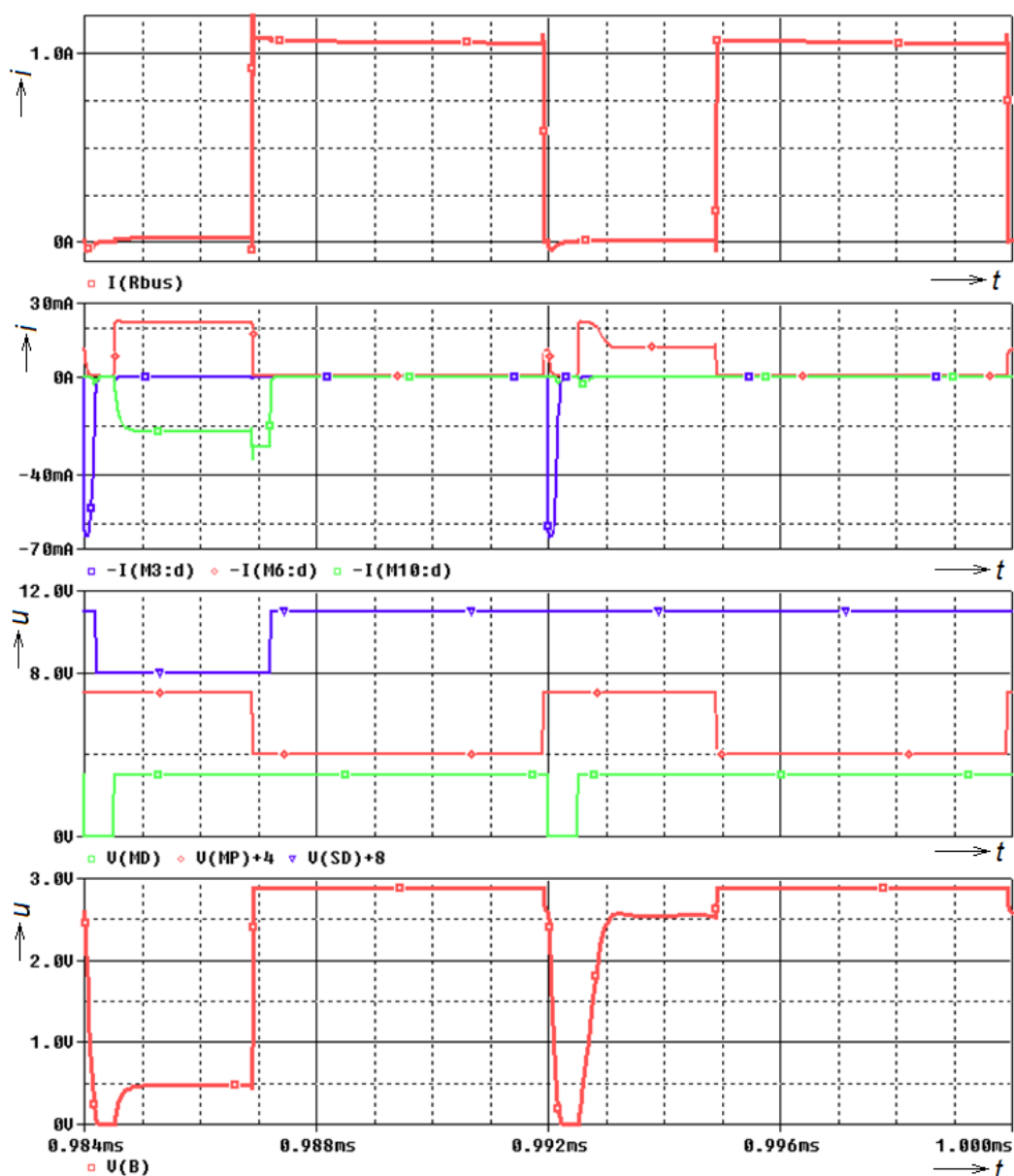
Zdroje proudu jsou tvořeny rezistory, které by zřejmě v mikroelektronickém návrhu byly realizovány v externí diskretní podobě kvůli možnosti modifikace provozních proudů.



**Obrázek 101:** Ovládání proudových zdrojů

Obrázek 101 ukazuje řídicí obvod obou modulů. Pulsní zdroje řídí jednotlivé časové úseky. Zdroj V2 řídí digitální úroveň modulu *master*, tedy přechod IE (*Interrupt Edge*) – TNS (*Transitional State*). Zdroj V3 ovládá tranzistor M7 v modulu *master*, který umožňuje napájení sběrnice, potažmo modulu *slave* (PB). Zdroj V4 v modulu *slave* řídí HL (*Hard Level*), umožňující vysílání log0.

Z průběhů grafu na obrázku 102 vyplývá, že informační blok (IB) má délku  $t_{IB} = 3 \mu s$  a napájecí blok (PB – *Power Block*) má délku  $t_{PB} = 5 \mu s$ . Délka bitového bloku je tedy  $t_{BB} = 8 \mu s$ . Přenosová rychlost sběrnice je 125 kb/s. Kontinuální zátěž modulu *slave* tvoří rezistor o nominální hodnotě  $R_Z = 3 \Omega$ . Jelikož detektor maxima je složen z „neoptimální“ diody, je zde velký napěťový úbytek a z toho důvodu napětí na zátěži nedosahuje maxima. První přenesený bit znázorněný v průběhu dole je log0 a druhý přenesený bit je log1. Horní okno grafu zobrazuje průběh proudu sběrnicí během komunikace i s připojenou zátěží. Druhé okno od shora znázorňuje průběhy proudů klíčových budičů a pod ním jsou znázorněny napěťové úrovně řídicích zdrojů, tedy signálů MD, MP a SD. Spodní okno, jak již bylo naznačeno, ukazuje napěťový průběh sběrnice během vysílání. Z průběhu je patrná posloupnost vysílaných bitů: 0 (čas 0,984 ms) a 1 (čas 0,992 ms).



**Obrázek 102:** Průběh vybraných obvodových veličin při bitovém přenosu

V následující části kapitoly budou popsány výpočty všech potřebných parametrů, zejména všech tranzistorových zdrojů s ohledem na nastavení jejich zátěže. Mezi výpočty nebyl zařazen tranzistor M7 – pracující jako zdroj PB (*Power Block*). Jeho proudový parametr není kritický, protože v tomto obvodu pracuje jako výkonový spínač. Jeho parametry jsou tedy odvislé jednak od požadavku maximálního výstupního proudu a také od proudových schopností jeho budiče. Ani jeden z obou parametrů není předmětem návrhu, proto platí, že tranzistor M7 musí mít takové parametry, aby byl s rezervou schopen plné dodávky požadovaného proudu.

### Spínaný zdroj M3 – LP (*Low Power*)

Realizuje zemnič sběrnice na straně modulu *master*. Tento budič principiálně nemůže kolidovat s jiným budičem, proto může být realizován velmi „tvrdým“ zdrojem proudu, za určitých okolností i spínačem pracujícím v odporové oblasti.

Předpokládané parametry:  $I_{D3MAX} = 150 \text{ mA}$ ,  $M2 = M3/100$ ,  $I_{D2MAX} = 1,5 \text{ mA}$ .  $M = 100$ .

Nejprve je nutné vypočítat parametry vstupního tranzistoru M2, jímž protéká proud 100x menší než výstupní částí proudového zrcadla. Vstupní napětí je stanoveno v horní části napájecího napětí kvůli výhodnějším vlastnostem. Pracovní bod zrcadla se nebude pohybovat v intervalu spojitých hodnot, ale pouze v oblasti stanoveného pracovního proudu.

$$\frac{W}{L_{M2}} = \frac{2I_{D2}}{K_{PN}(V_{GS} - V_{T0})^2} = \frac{2 \cdot 1,5 \cdot 10^{-3}}{136 \cdot 10^{-6} \cdot (3 - 0,6)^2} = 3,82 \approx 4. \quad (98)$$

Rozměry tranzistoru spolu s parametrem  $K_P$  tvoří technologický koeficient:

$$k_{M2} = \frac{K_{PN} W}{2 L} = \frac{136 \cdot 10^{-6}}{2} 4 = 2,72 \cdot 10^{-4}. \quad (99)$$

Ověření proudů výstupního zrcadla v celé škále napájecího napětí:

$$I_{D3MAX} = k_{M2} M (V_{GS} - V_{T0})^2 = 2,72 \cdot 10^{-4} 100 (3 - 0,6)^2 \cong 150 \text{ mA}, \quad (100)$$

$$I_{D3MIN} = k_{M2} M (V_{GS} - V_{T0})^2 = 2,72 \cdot 10^{-4} 100 (0,3)^2 \cong 24 \text{ mA}. \quad (101)$$

Interval hodnoty externího rezistoru R2 pro nastavení proudu v intervalu 24–150 mA

$$R_{2MAX} = 0 \Omega, \quad (102)$$

$$R_{2MIN} = M \frac{V_{DD} - V_{GS2}}{I_{DM4}} = 100 \frac{3 - 0,3}{24 \cdot 10^{-3}} \cong 11 \text{ k}\Omega. \quad (103)$$

Nastavení proudu  $I_{D3} = 100 \text{ mA}$  se bude realizovat prostřednictvím odporu:

$$V_{GS3} = \sqrt{\frac{I_{D3}}{M k_{M2}}} + V_{T0} = \sqrt{\frac{100 \cdot 10^{-3}}{100 \cdot 2,72 \cdot 10^{-4}}} + 0,6 = 2,51 \text{ V}, \quad (104)$$

$$R_2 = M \frac{V_{DD} - V_{GS3}}{I_{D3}} = 100 \frac{3 - 2,51}{100 \cdot 10^{-3}} \cong 490 \Omega. \quad (105)$$



### Spínaný zdroj M6 – SL (*Soft Level*)

Tranzistor M6 slouží ke zvednutí úrovně sběrnice v úseku IB. Musí tak učinit dostatečně rychle, a navíc musí překonat proudovou bariéru upínače sběrnice v modulu *slave*.

Předpokládané parametry:  $I_{D6MAX} = 50 \text{ mA}$ ,  $M5 = M6/100$ ,  $I_{D5MAX} = 0,5 \text{ mA}$ .  $M = 100$ .

Postup výpočtu je stejný jako v případě budiče M3, v návrhu se počítá s jinými technologickými konstantami a jiným proudem.

$$\frac{W}{L}_{M5} = \frac{2I_{D5}}{K_{PP}(V_{GS} - V_{T0})^2} = \frac{2 \cdot 0,5 \cdot 10^{-3}}{29 \cdot 10^{-6} \cdot (3 - 0,6)^2} = 5,98 \approx 6. \quad (106)$$

Technologický koeficient tranzistoru M5:

$$k_{M5} = \frac{K_{PP}}{2} \frac{W}{L} = \frac{29 \cdot 10^{-6}}{2} 6 = 8,7 \cdot 10^{-5}. \quad (107)$$

Pracovní rozsah proudů, jimiž disponuje budič M6:

$$I_{D6MAX} = k_{M5} M (V_{GS} - V_{T0})^2 = 8,7 \cdot 10^{-5} 100 (3 - 0,6)^2 \cong 50 \text{ mA}, \quad (108)$$

$$I_{D6MIN} = k_{M5} M (V_{GS} - V_{T0})^2 = 8,7 \cdot 10^{-5} 100 (0,3)^2 \cong 0,8 \text{ mA}. \quad (109)$$

Pracovní rozsah externích rezistorů nastavujících požadované proudy:

$$R_{1MAX} = 0 \Omega, \quad (110)$$

$$R_{1MIN} = M \frac{V_{DD} - V_{GSM2}}{I_{DM4}} = 100 \frac{3 - 0,3}{0,8 \cdot 10^{-3}} \cong 345 \text{ k}\Omega. \quad (111)$$

Proud  $I_{D6} = 25 \text{ mA}$  nastavíme prostřednictvím rezistoru R1:

$$V_{GS6} = \sqrt{\frac{I_{D6}}{Mk_{M5}}} + V_{T0} = \sqrt{\frac{25 \cdot 10^{-3}}{100 \cdot 8,7 \cdot 10^{-5}}} + 0,65 = 2,35 \text{ V}, \quad (112)$$

$$R_1 = M \frac{V_{DD} - V_{GS3}}{I_{D3}} = 100 \frac{3 - 2,35}{25 \cdot 10^{-3}} = 2,6 \text{ k}\Omega. \quad (113)$$

### Upínače sběrnice M10 a M13 – RL (*Retainer Level*)

V modulu *slave* je použit autonomní obvod – upínač sběrnice. Ten má tvořit proudovou bariéru 5 mA sloužící k ochraně před nežádoucími přeskoky úrovně. Požadované parametry dolního upínače:  $M_{10} = M_3$ ,  $M_9 = M_2$ ,  $M = 100$ ,  $W/L_{M9} = 4$ ,  $k_{M9} = k_{M2} = 2,72 \cdot 10^{-4}$ ,  $I_{D10} = 5 \text{ mA}$ .

$$V_{GS9} = \sqrt{\frac{I_{D10}}{Mk_{M9}}} + V_{T0} = \sqrt{\frac{5 \cdot 10^{-3}}{100 \cdot 2,72 \cdot 10^{-4}}} + 0,6 = 1,03 \text{ V}. \quad (114)$$

Rezistor R4 je dán vztahem:

$$R_4 = M \frac{V_{DD} - V_{DF} - V_{GS9}}{I_{D10}} = 100 \frac{2 - 1,03}{5 \cdot 10^{-3}} \cong 20 \text{ k}\Omega. \quad (115)$$

Parametry horního upínače sběrnice:  $M_{13} = M_6$  a  $M_{12} = M_5$   $M = 100$ ,  $W/L_{M12} = 6$ ,  $k_{M12} = k_{M5} = 8,7 \cdot 10^{-5}$ , proud  $I_{D13} = 5 \text{ mA}$ .

$$V_{GS12} = \sqrt{\frac{I_{D13}}{Mk_{M5}}} + V_{T0} = \sqrt{\frac{5 \cdot 10^{-3}}{100 \cdot 8,7 \cdot 10^{-5}}} + 0,65 = 1,41 \text{ V}. \quad (116)$$

Rezistor R3 je dán vztahem:

$$R_3 = M \frac{V_{DD} - V_{DF} - V_{GS3}}{I_{D3}} = 100 \frac{2 - 1,41}{5 \cdot 10^{-3}} = 12 \text{ k}\Omega. \quad (117)$$

### Spínaný zdroj HL (*Hard Level*)

Modul *slave* při vysílání log0 musí zvýšit proud tranzistoru M10 na  $I_{D10} = 45 \text{ mA}$ . Proto tranzistor M14 připojí do obvodu vstupu proudového zrcadla paralelně další rezistor, který posílí tento vstup.

$$V_{GS9} = \sqrt{\frac{I_{D10}}{Mk_{M9}}} + V_{T0} = \sqrt{\frac{45 \cdot 10^{-3}}{100 \cdot 2,72 \cdot 10^{-4}}} + 0,6 = 1,89 \text{ V}. \quad (118)$$

Celková hodnota vstupního odporu:

$$R_7 = M \frac{V_{DD} - V_{DF} - V_{GS19}}{I_{D10}} = 100 \frac{2 - 1,89}{5 \cdot 10^{-3}} \cong 250 \Omega. \quad (119)$$

Vzhledem k tomu, že rezistor R4 má vysokou hodnotu, může se rezistor R7 použít o vypočítané hodnotě celkového odporu. Vzniklá chyba paralelního spojení tak bude velmi malá ( $20 \text{ k}\Omega \parallel 250 \Omega$ ).

### Spínače proudových zdrojů

Distributory pracují v odporovém režimu, nastavení jejich parametrů není kritické a může být i mírně předimenzováno. Požadovaný maximální proud M1 tekoucí do M5 bude  $I_{D5} = 250 \mu\text{A}$ .

$$\frac{W}{L}_{M1} = \frac{2I_{D5}}{K_{PN}(V_{GS} - V_{T0})^2} = \frac{2 \cdot 250 \cdot 10^{-6}}{136 \cdot 10^{-6} \cdot 2,4^2} = 0,638. \quad (120)$$

Poměr  $W/L = 4$ . Požadovaný maximální proud M4 tekoucí do M2 bude  $I_{D2} = 1 \text{ mA}$ .

$$\frac{W}{L}_{M4} = \frac{2I_{D2}}{K_{PP}(V_{GS} - V_{T0})^2} = \frac{2 \cdot 1 \cdot 10^{-3}}{29 \cdot 10^{-6} \cdot 2,4^2} = 11,9. \quad (121)$$

Poměr  $W/L = 25$ . Požadovaný maximální proud M8 tekoucí do M12 bude  $I_{D12} = 50 \mu\text{A}$ .

$$\frac{W}{L}_{M8} = \frac{2I_{D12}}{K_{PN}(V_{GS} - V_{T0})^2} = \frac{2 \cdot 50 \cdot 10^{-6}}{136 \cdot 10^{-6} \cdot 2,4^2} = 0,13. \quad (122)$$

Poměr  $W/L = 1$ . Požadovaný maximální proud M11 tekoucí do M9 bude  $I_{D9} = 50 \mu\text{A}$ .

$$\frac{W}{L}_{M11} = \frac{2I_{D9}}{K_{PP}(V_{GS} - V_{T0})^2} = \frac{2 \cdot 50 \cdot 10^{-6}}{29 \cdot 10^{-6} \cdot 2,4^2} = 0,6. \quad (123)$$

Poměr  $W/L = 3$ . Požadovaný posílený maximální proud M14 tekoucí do M9 bude  $I_{D9} = 450 \mu\text{A}$ .

$$\frac{W}{L}_{M14} = \frac{2I_{D9}}{K_{PP}(V_{GS} - V_{T0})^2} = \frac{2 \cdot 450 \cdot 10^{-6}}{29 \cdot 10^{-6} \cdot 2,4^2} = 5,39. \quad (124)$$

Poměr  $W/L = 22$ . Transistor navržený jako spínač nemá kritické konstrukční rozměry. Většinou se volí vyšší než požadované. Malé zvýšení enormně nezvýší kapacitu vstupu, ale je schopno spolehlivého a rychlého spínání při zvýšení zátěže. Spínací tranzistor se tedy nevolí pro konkrétní hodnotu, ale s přesahem pro nejvyšší možnou hodnotu proudu.

### Kapacitor pro zálohu energie

Velikost záložního kapacitoru lze vypočítat při znalosti velikosti zátěže ( $RZ$ ), doby dodávky energie ( $t_{IB}$ ), a velikosti poklesu napětí ( $\Delta U$ ). Vzhledem k nutnosti počítat s poměrně velkou rezervou v návrhu zejména v oblasti zátěže, lze exponenciální vztahy lineárně aproximovat:

$$C = \frac{It}{\Delta U} = \frac{1.3 \cdot 10^{-6}}{0,01} = 300 \mu F. \quad (125)$$

Kde proud  $I = 1$  A, doba zálohování  $t_{IB} = 3 \mu s$  a pokles napětí  $\Delta U$  odpovídá 10 mV. Výsledná velikost je navýšena z důvodu robustnosti systému cca o 30% rezervu na hodnotu  $C = 470 \mu F$ .

Časové poměry na sběrnici jsou obdobné jako u nízkopříkonového návrhu budičů, mohou být tedy řešeny stejným způsobem. Při provozu sběrnice ve výkonovém režimu je kladen důraz především na možnost přenosu velkého množství napájecí energie, nebo rychlou komunikaci, popřípadě odolnost přenosu proti rušení. Výše uvedená simulace ukazuje, že množství přenášené energie nemá vliv na rychlost přenosu. Tedy lze snadno oddělit napájecí a komunikační část, aniž by se projevilo jejich vzájemné ovlivňování.

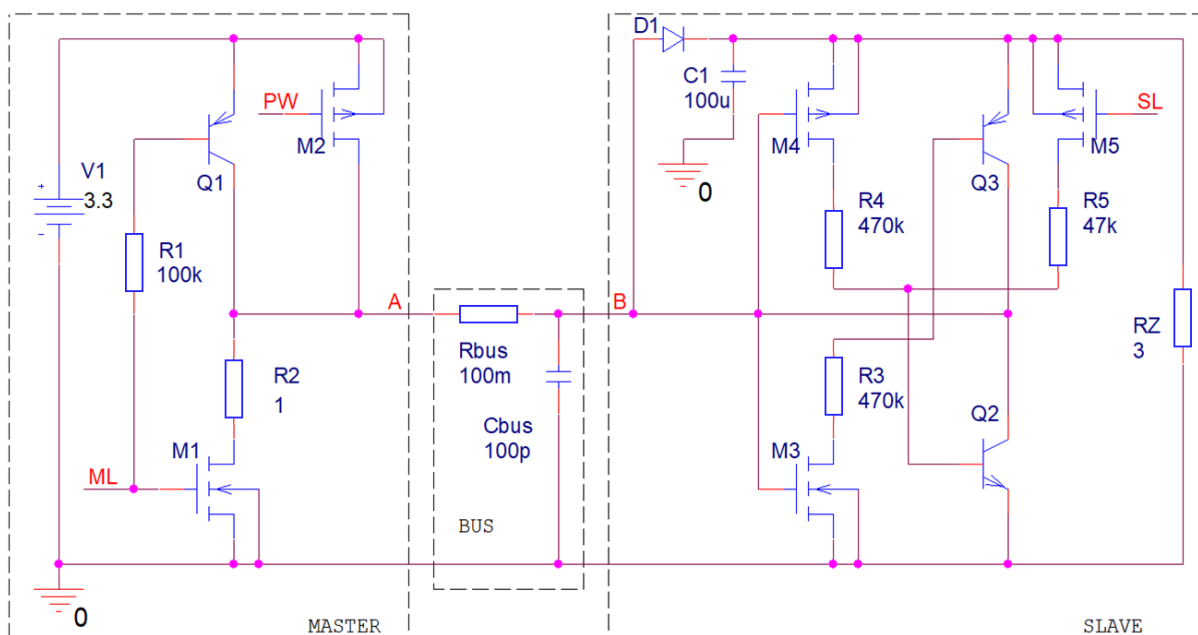
#### 4.3.2 Diskrétní návrh budičů sběrnice

Předmětem této práce není přímo návrh integrovaných budičů sběrnice, ale její popis s ukázkou provozu v různých výkonových módech. Aby bylo možné dokumentovat její provoz v reálné rovině, je vhodné navrhnout její budiče v diskrétní formě. Proudové budiče budou tedy navrženy pomocí diskrétních tranzistorů.

V intencích kapitoly 4.1.5 pojednávající o technologických a návrhových chybách, nebudou pro demonstrační účely návrhu řešeny přesné proudové a napěťové reference, stejně tak nebudou řešeny teplotní závislosti technologických parametrů tranzistorů. Tyto všechny musí být zahrnuty v případě návrhu konkrétního budiče, jenž je schopen pracovat ve stanovém rozsahu teplot, proudu, napětí a ostatních veličin. Laboratorní vývojový prostředek (vývojový kit) bude vytvořen pro ověření teoretických předpokladů a demonstraci provozu sběrnice ve výkonovém módu.

Zatímco budiče sběrnice v nízkopříkonovém módu mohou být realizovány prostřednictvím rezistorů, tedy součástek značně teplotně i odběrově stabilních, návrh budičů ve výkonovém režimu lze realizovat pouze proudovými zdroji, tedy polovodičovými součástkami, jejichž

zásadní parametry jsou teplotně i odběrově závislé. Proto musí být v konkrétním návrhu budiče přidáno vícero obvodů a obvodových bloků zajišťujících teplotní stabilitu a přesné proudové či napěťové reference. Zásadní rozdíl návrhu nespočívá mezi výkonovým a nízkopříkonovým módem, ale mezi mikroelektronickým a diskretním návrhem. Diskretní rezistor jako budič sběrnice je vysoce stabilní součástka, ale v mikroelektronickém návrhu je jeho užití velmi nepraktické (zabírá velkou plochu, a navíc je do jisté míry nestabilní a značně nepřesný). Pro demonstrační účely tedy budou použity diskretní součástky a bude předpokládán provoz v laboratorních podmínkách.



**Obrázek 103:** Schéma budičů sběrnice ve výkonovém módu pomocí diskretních součástek

Na obrázku 103 je znázorněno schéma budičů sběrnice v diskretní podobě ve výkonovém módu. Jako detektor maxima je zvolena obyčejná dioda, která se vyznačuje vysokým úbytkem napětí. Při zvoleném odběru ( $R_Z = 3 \Omega$ ) se úbytek napětí pohybuje okolo 1 V. Na straně modulu *master* je použit jeden zdroj proudu – SL (*Soft Level*) tvořený bipolárním tranzistorem Q1. Tranzistor M2 realizuje výkonový spínač – TL (*Top Level*) a tranzistor M1 LL (*Low Level*) přitahuje sběrnici do nízké úrovně. Úskalí proudových schopností tranzistoru M1 (LL) existuje dvojí:

- jeho proudová schopnost řídí sklon sestupné hrany sběrnice,
- pokud má detektor maxima nevyhovující (příliš dlouhou) zotavovací dobu  $t_{tr}$ , neodsává tranzistor pouze parazitní náboj sběrnice, ale po dobu  $t_{tr}$  také odsává náboj ze záložního kapacitoru.

Pro delší vedení sběrnice, vyšší proudy a delší zotavovací dobu diody (obecně: delší dobu reakce detektoru maxima) je vhodné, aby spodní tranzistor měl vysoké proudové schopnosti, tedy nízký odpor sepnutého kanálu  $R_{\text{DS(on)}}$  (bez vloženého sériového rezistoru). Absorpce velkého proudu prostřednictvím dlouhého vedení (= větší indukce) vede k podkmitům sběrnice, což může mít za jistých okolností neblahé účinky prostřednictvím záporné hodnoty napájecího napětí. V tabulce 9 jsou výtýčeny hlavní požadavky návrhu budičů hybridní sběrnice.

**Tabulka 9:** Návrh parametrů sběrnice

Popis	Veličina	Hodnota
Napájecí napětí	$U_{\text{CC}}$	3,3 V
Upínací proud – RL (Q2 a Q3)	$I_{\text{RL}}$	2 mA
Proud HL (Q2)	$I_{\text{HL}}$	18 mA
Proud SL (Q1)	$I_{\text{SL}}$	13 mA
Zátěž	$R_{\text{Z}}$	3 $\Omega$
Přenosová rychlost	$t$	100 kb/s

Tranzistor Q1 (SL) je zdrojem zvoleného proudu  $I_{\text{C}} = 13$  mA, daného výpočtem:

$$I_{\text{C}} = \frac{U_{\text{CC}} - U_{\text{BE}}}{R_1} h_{21\text{E}} \rightarrow R_1 = \frac{U_{\text{CC}} - U_{\text{BE}}}{I_{\text{C}}} h_{21\text{E}} = \frac{2,6}{0,013} 500 = 100 \text{ k}\Omega. \quad (126)$$

Na straně modulu *slave* jsou dva bipolární tranzistory Q2 a Q3 realizující upínač sběrnice 3 mA (RL – *Retainer Level*) a tranzistor Q2 navíc pracuje jako spínač HL (*Hard Level*), tedy pokud *slave* vysílá log0.

Zatímco zvolený proud upínače sběrnice je 2 mA (input: R3, R4), spínač HL (*Hard Level*) představuje proud 18 mA (input: R5). Výpočet řídicích rezistorů je dán:

$$R_3, R_4 = \frac{U_{\text{CC}} - U_{\text{F}} - U_{\text{BE}}}{I_{\text{C}}} h_{21\text{E}} = \frac{1,8}{0,002} 500 = 450\,000 \cong 470 \text{ k}\Omega. \quad (127)$$

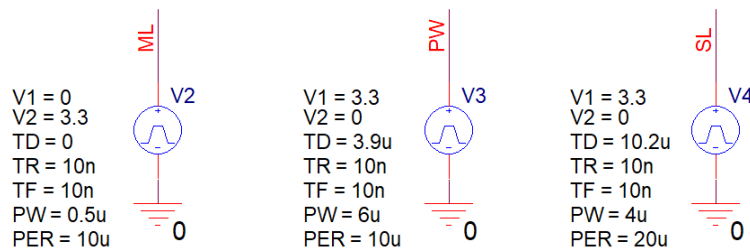
Předpokládaný úbytek na detektoru maxima je  $U_{\text{F}} = 0,8$  V. Proudový zesilovací činitel má největší rozptyl hodnot závislých na teplotě a také na kolektorovém proudu. Měřením na vybraných tranzistorech byla zjištěna průměrná hodnota  $h_{21\text{e}} = 500$  pro obě polarity a pro výstupní proudy v rozsahu 1–20 mA.

$$R_5 = \frac{U_{\text{CC}} - U_{\text{F}} - U_{\text{BE}}}{I_{\text{C}}} h_{21\text{E}} = \frac{1,8}{0,018} 500 = 50\,000 \cong 47 \text{ k}\Omega. \quad (128)$$

Záložní kapacitor je určen výstupním proudem, dobou zálohování a velikostí zvlnění napětí.

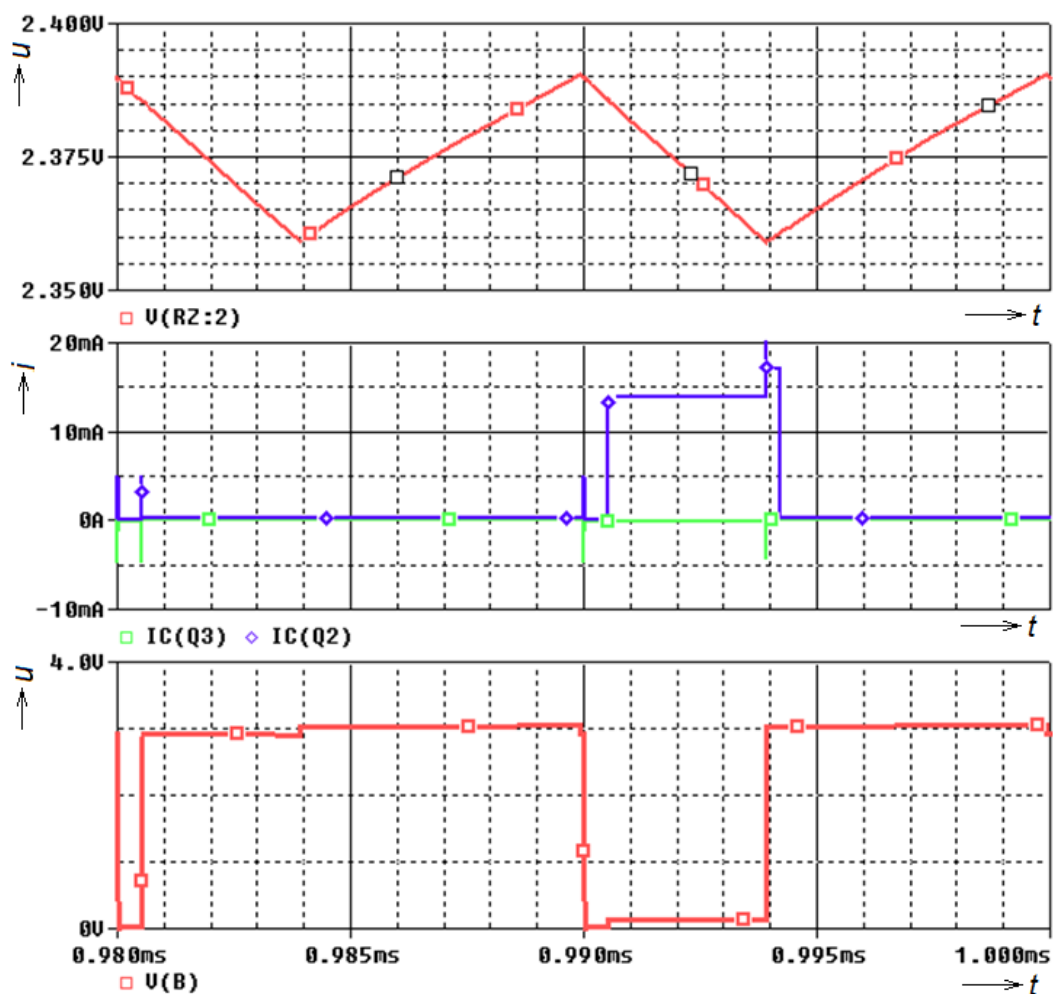
$$C = \frac{I\Delta t}{\Delta U} = \frac{1.4 \cdot 10^{-6}}{30 \cdot 10^{-3}} = 133 \cdot 10^{-4} \cong 100 \mu F. \quad (127)$$

Pokud se mírně sníží hodnota kapacitoru zvlnění výstupního napětí, bude  $\Delta U = 40 \text{ mV}$ .



**Obrázek 104:** Ovládání proudových zdrojů

Na obrázku 104 jsou znázorněny simulační zdroje jednotlivých úrovní a jejich časování. Perioda vysílání je  $10 \mu\text{s}$ , komunikační frekvence je tedy  $100 \text{ kHz}$ . Zdroj ML ovládá budič SL a LL, PW ovládá připínání napětí TL a zdroj SL řídí budič HL v modulu *slave*.



**Obrázek 105:** Průběh vybraných obvodových veličin při bitovém přenosu se zátěží

Ze simulačního průběhu na obrázku 105 vyplývají podobné průběhy, jak byly navrženy. Upínače sběrnice pracují v oblasti pod 5 mA. V okamžiku, kdy modul *slave* vysílá log0, teče budičem proud o úrovni SL, tedy nižší, než kterým budič disponuje (HL). Je to dáno tím, že svodový proud proudového komparátoru je vždy roven nižšímu z obou komparovaných proudů. Na budiči vyššího z proudů tohoto komparátoru je napětí blízké nule, zatímco na protilehlém budiči, tedy s nižším proudem, je napětí téměř maximální.

Tato podkapitola je jakýmsi doplňkem celé práce. Slouží jako teoretický úvod praktickému ověření funkce sběrnice. V první fázi návrhu je vhodné, pro ověření teoretických předpokladů, sestavit budiče z diskrétních součástek, což sebou nese určitá úskalí zejména v oblasti nestability. Mikroelektronický návrh je provázen řešením odlišných aspektů než návrh obvodu složeného z diskrétních součástek, nicméně nelze jej jednoduše vyrobit a ověřit tak validitu návrhu. Aby byly budiče schopny pracovat v určitém teplotním, proudovém a napěťovém rozsahu, je nezbytné vybavit budiče dalšími obvody zajišťujícími jejich stabilizaci v rozsahu pracovních podmínek.

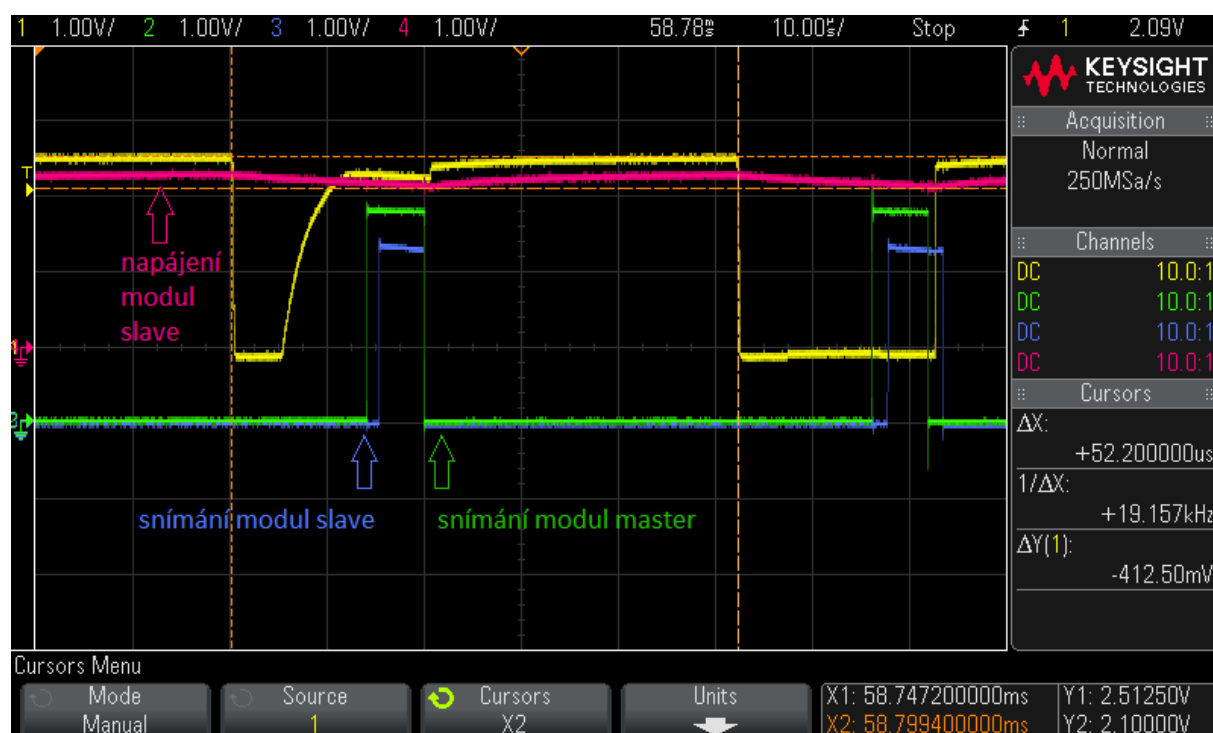
## 4.4 Ověření provozních parametrů hybridní sběrnice

Pokud existuje jednoduchá možnost praktického ověření teoretických předpokladů, je vhodné tato ověření realizovat. Tato část práce se zabývá popisem výsledků komunikace prostřednictvím budičů hybridní sběrnice. Byly vytvořeny dva páry vývojových prostředků (kitů), umožňující komunikaci a napájení prostřednictvím hybridní sběrnice v obou módech – nízkopříkonovém a výkonovém. Klíčové části schémat, popis návrhu kitů i popis samotného provozu včetně grafického znázornění průběhů na sběrnici bude popsán dále v textu.

### 4.4.1 Nízkopříkonová hybridní sběrnice

Pro realizaci provozu v daném módu byly sestaveny dva vývojové kity (*masterLP* a *slaveLP*). Sběrnice byla navržena pro komunikační rychlost 20 kHz. Byla propojena nehomogenním asynchronním vedením (dva izolované vodiče) o délce 0,5 m. Modul *slave* byl zatížen odběrem 50 mA. Pro měření spotřeby energie při samotném přenosu byla zátěž odpojena a do vedení se připojil sériový rezistor o hodnotě 100  $\Omega$ . Napěťovým úbytkem (získaným nikoliv jeho měřením ale aritmetickým rozdílem jeho naměřených vývodů) na daném rezistoru byl změřen průchod proudu sběrnici.





**Obrázek 106:** Měření nízkopříkonové sběrnice – délka 0,5m, odběr zátěže 50 mA

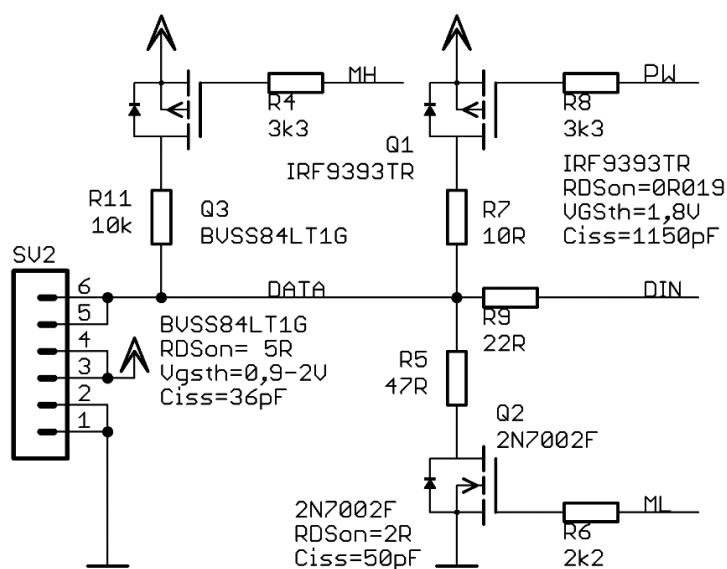


**Obrázek 107:** Zobrazení proudového odběru sběrnice v nízkopříkonovém módu bez zátěže – měřeno prostřednictvím rezistoru 100  $\Omega$

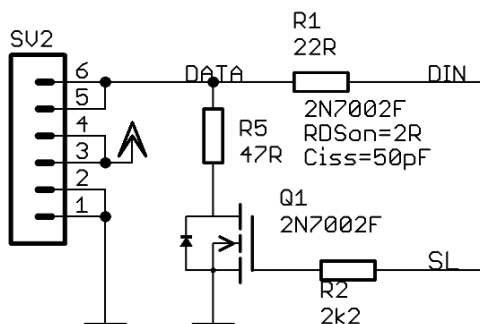
Na průběhu z osciloskopu (obrázek 106) je znázorněn dvakrát přenos jednoho bitu (BB – *Bit Block*). Nejprve je vysílána log1 a následně log0. Žlutý průběh znázorňuje napěťovou úroveň

sběrnice, červený ukazuje napájecí úroveň modulu *slave* – měřenou za detektorem maxima. Pomocný zelený průběh ukazuje časový interval, ve kterém modul *master* snímá napětíovou úroveň sběrnice a pomocný modrý průběh znázorňuje interval snímání sběrnice v modulu *slave*. Délka informačního bloku ( $\Delta X$ ) je 52  $\mu s$ , sběrnice na straně *master* je napájena napětím (Y1) 2,5 V a modul *slave* má minimální hodnotu napájecího napětí (Y2) 2,1 V.

Odběr proudu během informačního bloku (IB) je znázorněn na obrázku 107. Sběrnice je vedena s vloženým sériovým rezistorem 100  $\Omega$ , přičemž napětíové úrovně obou vývodů (sonda 1 a 4) byly zaznamenány osciloskopem. Rozdílová matematická funkce – fialový průběh, ukazuje úbytek napětí na měřicím rezistoru. Výsledek je očekáván. V případě vysílání modulu *slave* log0 je sběrnice zatížena svodovým – tedy ustáleným proudem. Z výstupu osciloskopu tato úroveň odpovídá zhruba proudu 344  $\mu A$  (34,43 mV/100  $\Omega$ ). Při vysílání log1 se prostřednictvím sběrnice disipuje náboj pouze v přechodovém stavu. To odpovídá přibližné hodnotě 156  $\mu A$  (15,65 mV/100  $\Omega$ ).



**Obrázek 108:** Detail budiče ve vývojovém kitu modulu *master* v nízkopříkonovém módu

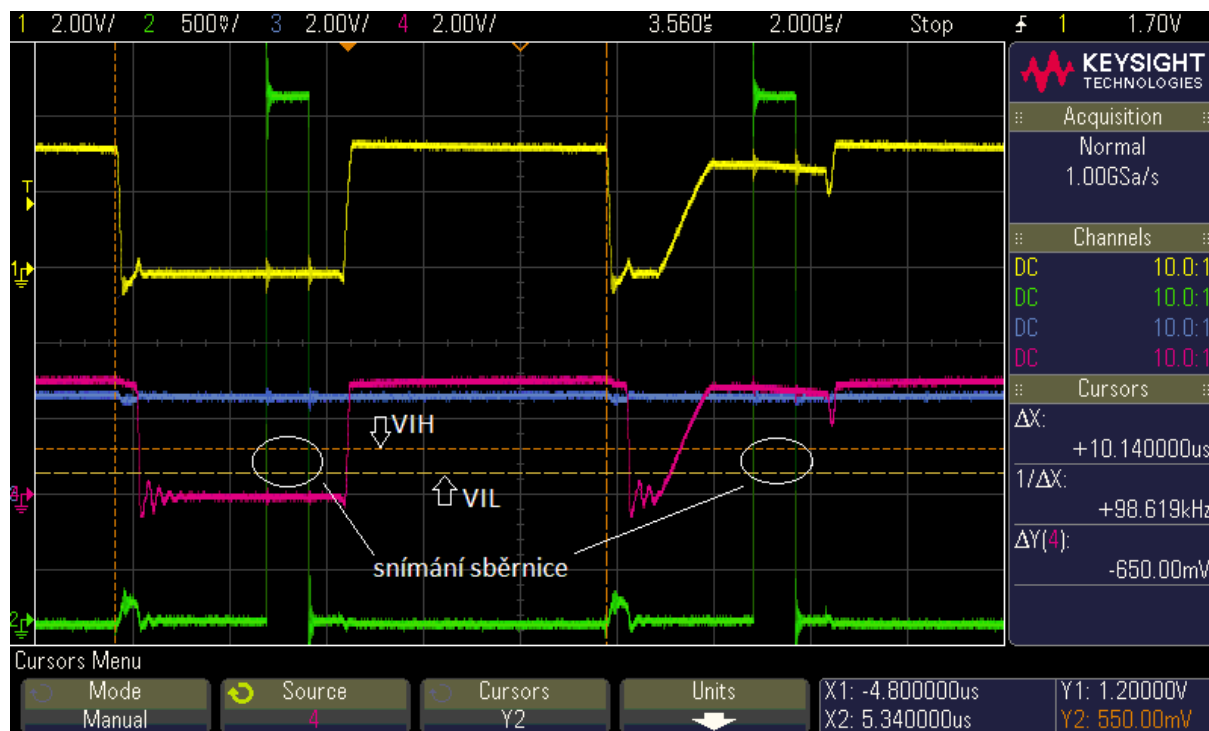


**Obrázek 109:** Detail budiče ve vývojovém kitu modulu *slave* v nízkopříkonovém módu

Schématu obou modulů, respektive detaily budičů obou modulů jsou znázorněna na obrázcích 108 a 109. Na straně modulu *master* jsou signálové vodiče: PW (TL – *Top Level*, napájení sběrnice), ML (LL – *Low Level*, uzemnění sběrnice), a MH (SL – *Soft Level*, log1) realizovány prostřednictvím tranzistorových spínačů a proudová abilita je realizována vřazenými rezistory. Na straně modulu *slave* je pouze spínač SL (HL – log0). V obou modulech je snímání sběrnice prováděno prostřednictvím signálu DIN. Oba moduly jsou řízeny 16bitovými mikrokontroléry z rodiny MSP430FR od společnosti Texas Instruments.

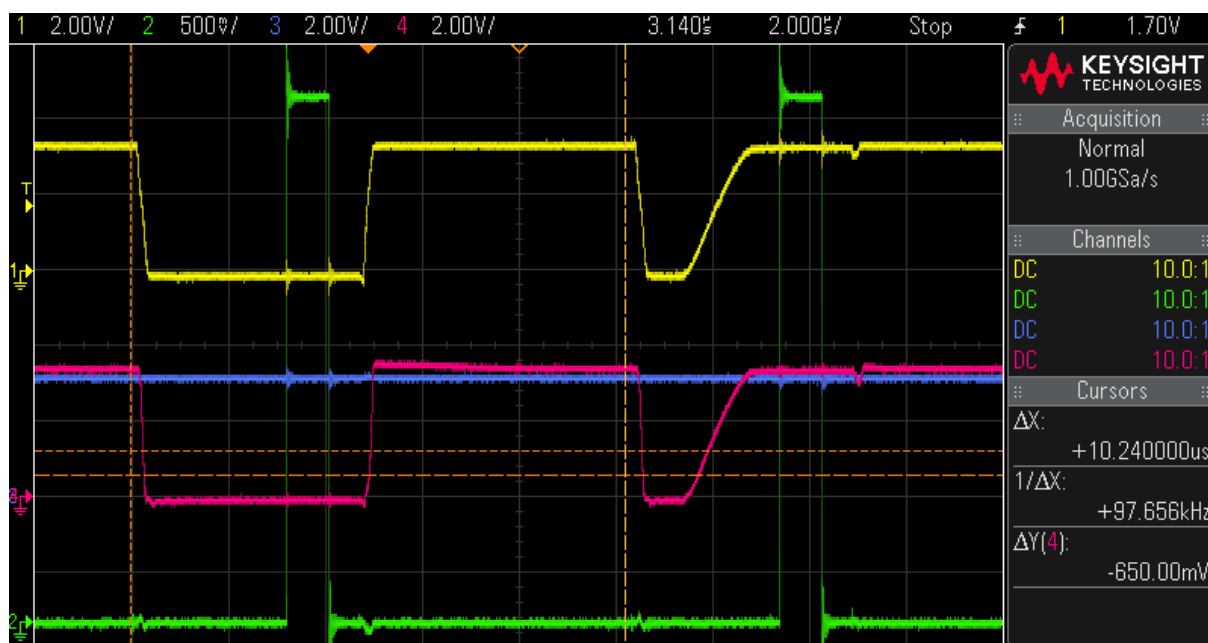
#### 4.4.2 Výkonová hybridní sběrnice

Realizace této sběrnice je poněkud náročnější a budič je vystaven větší náchylnosti k rozptylu hodnot. Nicméně vývojové kity (*masterHP* a *slaveHP*) byly navrženy pro provoz v laboratorních podmínkách za účelem demonstrace provozu sběrnice ve výkonovém módu. Diskrétní návrh byl proveden na základě statického měření proudového zesilovacího činitele konkrétních tranzistorů v daných teplotních podmínkách a proudových rozsazích. Moduly byly propojeny nehomogenním vedením o délce 4 m a modul *slave* byl zatížen výkonovou činnou zátěží o nominální hodnotě 3  $\Omega$ . Za účelem měření spotřeby energie při komunikaci, ale také pro ověření práce upínače, byly moduly propojeny krátkým vedením s vloženým rezistorem 22  $\Omega$ , prostřednictvím něhož se měřil průchod proudu sběrnici.



**Obrázek 110:** Měření výkonové sběrnice osciloskopem – délka 4 m, odběr zátěže *slave* 0,8 A

Průběh na obrázku 110 ukazuje přenos dvou bitů – log0 a log1 komunikační frekvencí cca 100 kHz ( $1/\Delta X$ ) při odběru cca 0,8 A. Žlutým průběhem je znázorněna napěťová úroveň sběrnice na začátku vedení, červený průběh znázorňuje sběrnici ve vstupní části modulu *slave*. Modrý průběh ukazuje úroveň napájecího napětí modulu *slave* a pomocný zelený průběh ukazuje časovou oblast snímání sběrnice modulem *slave*. Kurzory v ose Y (napěťová úroveň) ukazují limitní logické úrovně  $V_{IH}$  a  $V_{IL}$  modulu *slave*. Podkmity v úvodu bitového bloku jsou způsobeny použitím obyčejné diody namísto precisního detektoru maxima, jejíž zotavovací doba je zodpovědná za nárůst proudu při sestupné hraně sběrnice. Ta je teoreticky provázána pouze disipací náboje ze sběrnice (přechodový jev), nicméně prakticky je v této části vybíjen velký záložní kapacitor (zde 100  $\mu\text{F}$ ) po dobu zotavení diody ( $t_{tr}$ ).

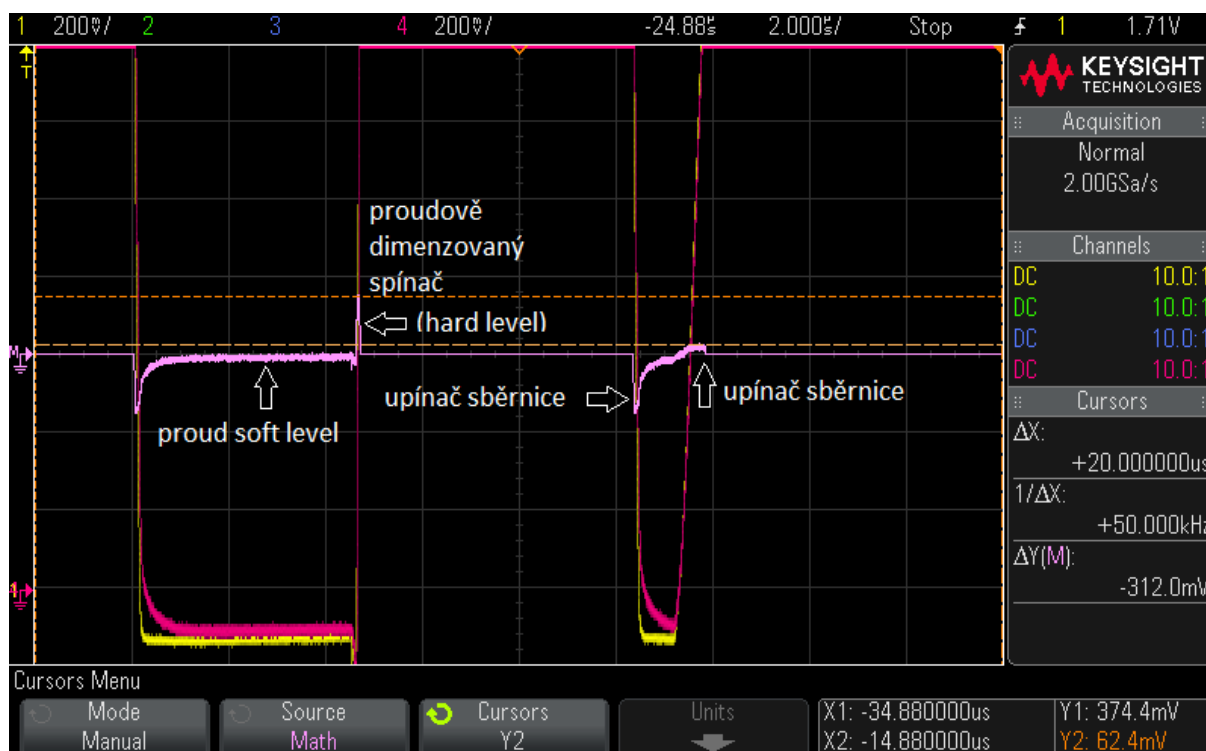


**Obrázek 111:** Měření výkonové sběrnice osciloskopem – délka sběrnice 4 m, odběr zátěže *slave* 0,25 A

Při málo zatíženém modulu *slave* (obrázek 111) se napěťový průběh na témže vedení přibližuje více k ideální a simulací ověřené situaci. Jednoduchý budič sice teoreticky splňuje náročnější výkonové požadavky, není však vybaven dalšími obvody zlepšujícími a zpřesňujícími jeho dynamické parametry. V oblasti nízké zátěže (250 mA) pracuje téměř ideálně. Barvy průběhů a jejich význam se ztotožňují s obrázkem 110.

Průběh proudu protékajícího sběrníci při komunikaci je zachycen na obrázku z osciloskopu (obrázek 112). Aby nebyl procházející proud ovlivněn spotřebou zátěže, je tato odepnuta, tzn. prostřednictvím sběrnice je napájen pouze mikrokontrolér v modulu *slave* (2 mA). Do cesty

sběrnice byl vložen rezistor o hodnotě  $22\ \Omega$ , na kterém se pomocí matematického vyjádření měřil úbytek napětí mezi jeho svorkami. Na obrázku fialový průběh. Z průběhu je patrný proudový nárůst v oblasti přechodu mezi logickými stavy  $2,8\ \text{mA}$  ( $62,4\ \text{mV}/22\ \Omega$ ). Dále je zde vidět proudový náraz při proudově dimenzovaného vypínání log0 modulu *slave*  $17\ \text{mA}$  ( $374,4\ \text{mV}/22\ \Omega$ ). Upínací proud při sestupné hraně je zatížen poněkud vyšší chybou díky dlouhé době zotavení detektoru v modulu *slave*. Po tuto dobu je nejen aktivována horní větev upínače, ale je také vybíjen záložní kapacitor. Proto je proudový špičkový nárůst upínače sběrnice mírně vyšší než předpokládaný.

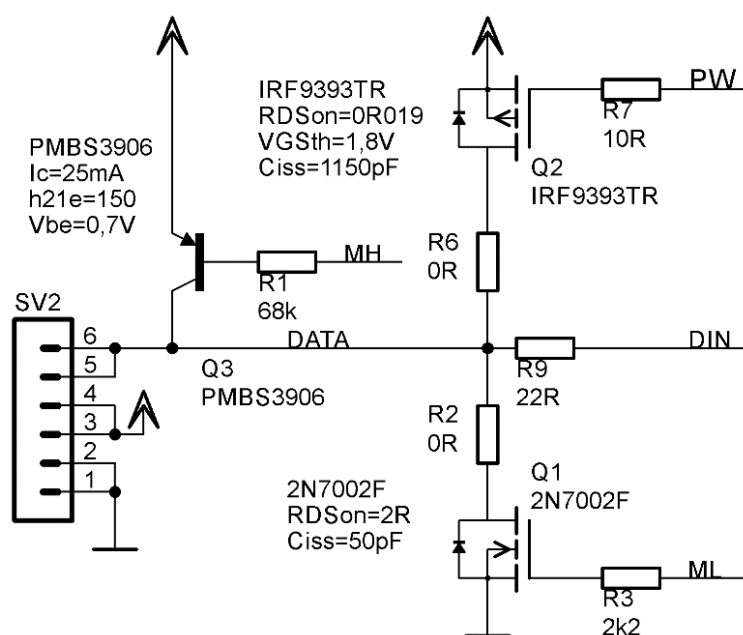


**Obrázek 112:** Zobrazení proudového odběru sběrnice ve výkonovém módu bez zátěže – měřeno prostřednictvím rezistoru  $22\ \Omega$

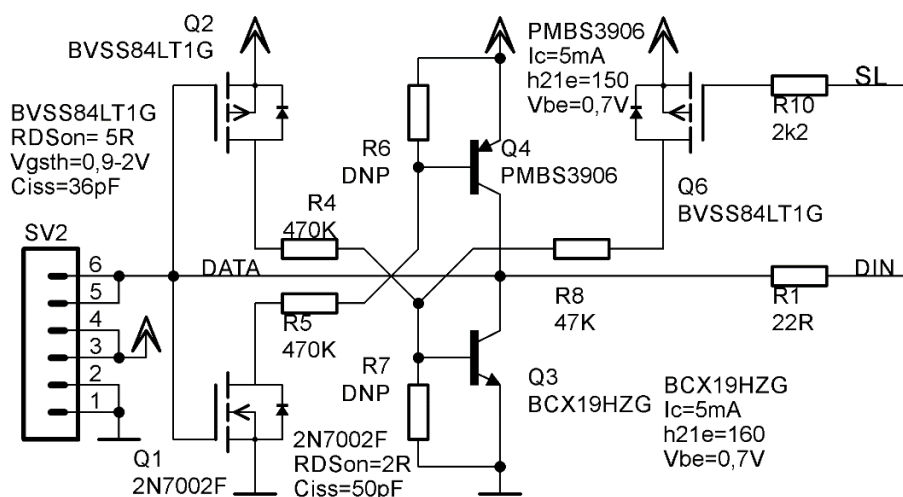
Vývojové prostředky, jejichž detailní schéma budičů je zobrazeno na obrázcích 113 a 114 byly navrženy za účelem ověření teoretických předpokladů. Nelze je využít jako podklad pro tvorbu reálných budičů. Ty by musely spolehlivě a přesně pracovat v teplotním, proudovém, a napěťovém rozsahu. Dále by musely mít vloženy ochranné a stabilizační obvody, popřípadě další vývody umožňující jednoduché nastavení parametrů, počítající s určitou modalitou návrhu.

Modul *masterHP* ovládá sběrnici prostřednictvím následujících signálových vodičů. PW (TL – *Top Level*) který ji připíná k napájecímu napětí. Signál ML (LL – *Low Level*) umožňuje zahájení

informačního bloku (IB). Tento spínač může být realizován i prostřednictvím rezistoru s malou hodnotou, v prezentovaném případě byl zvolen „tvrďší“ spínač v důsledku vyšších podkmitů sběrnice. Ty jsou způsobeny krátkodobým závěrným proudem detektoru maxima ( $t_{rr}$ ) a vyšší indukci nehomogenního vedení. Signál MH ovládá tranzistor (SL – *Soft Level*) který zvedá úroveň sběrnice do log1. Hodnota proudového zesilovacího činitele  $h_{21e}$  byla naměřena a pohybovala se v horní části tolerančního pole udávaného výrobcem. Měřením byly nastaveny hodnoty zdroje pohybující se okolo 10 mA.



**Obrázek 113:** Detail budiče ve vývojovém kitu modulu *master* ve výkonovém módu



**Obrázek 114:** Detail budiče ve vývojovém kitu modulu *slave* ve výkonovém módu

Modul *slaveHP* na obrázku 114 má budič sběrnice tvořený upínačem (RL – *Retainer Level*). Na vstupu je realizován CMOS diskretním distributorem proudu do protilehlých výstupních

proudových zdrojů. Proudové byly opět experimentálně naměřeny a hodnoty řídicích prvků byly stanoveny tak, aby byly obdobné se simulovaným obvodem. Tranzistory Q3 a Q4 tvoří proudově dimenzovaný upínač sběrnice o hodnotě okolo 2 mA. Tranzistor Q3 je navíc schopen pracovat jako zdroj proudu úrovně HL (*Hard Level*) o hodnotě cca 20 mA.

Prostřednictvím výše uvedených modulů byla ukázána funkcionality hybridní sběrnice (především ve výkonovém módu) a dosavadní praxe (v nízkopříkonovém módu) zároveň ověřuje i její legitimitu. Díky základním simulacím byly ověřeny obecné předpoklady provozu sběrnice a reálným testováním byla ověřena i diskutovaná problematika týkající se parazitních a neideálních vlastností sběrnice i budičů.

Pomocí reálného vedení hybridní sběrnice lze přenášet informace o velké rychlosti a zároveň napájet propojené komunikační moduly poměrně velkým proudem. Pokud budou budiče sběrnice navrženy v intencích zásad uváděných v celé textové části disertační práce, nebudou se oba klíčové a do jisté míry protichůdné fenomény (napájení velkým proudem & komunikace o velké rychlosti) vzájemně negativně ovlivňovat. Komunikační a napájecí bloky jsou sice časově oddělené, nicméně na hraně jejich alternace vznikají přechodové stavy, jejichž negativní účinky – prostřednictvím parazitních vlastností vedení sběrnice a součástek budičů, lze spolehlivě eliminovat dodržením zásad uvedených v předchozích kapitolách disertační práce.

Při provozu hybridní sběrnice v **nízkopříkonovém režimu** bylo dosaženo při propojení modulů nehomogenním asymetrickým vedením o délce 1 m následujících výsledků:

- přenosová rychlost 20 kb/s,
- průměrná spotřeba provozu cca 0,1 mA.

Při provozu hybridní sběrnice ve **výkonovém režimu** byly dosaženy výsledky (při propojení modulů nehomogenním asymetrickým vedením o délce 4 m):

- přenosová rychlost 100 kb/s,
- kontinuální napájení modulu slave 0,8 A.

Prezentací výsledků uvedených v této kapitole bylo dosaženo parametrů, které splňují a překračují stanovené cíle výzkumu. Dosažené parametry navíc nejsou limitní. Progrese provozních limitů bude náplní dalšího vývoje probíhajícího v intencích uvedeného výzkumu.

## 5 Závěr

Předložená disertační práce se zabývá popisem výzkumných prací při návrhu nové hybridní sběrnice přenášející data i napájecí energii po jednom signálovém vodiči. Přestože se sběrnice umožňující napájení po komunikačním vodiči používají v některých specifických aplikacích (AS-i, M-Bus – viz kapitola 2.6), je možný aplikovaný výzkum a vývoj nových řešení pro potřeby konkrétních aplikací, který v tomto případě vede k nové řešené sběrnici.

Nová hybridní sběrnice byla navržena na základě konkrétních požadavků z průmyslu. Vzhledem k poměrně velkému množství nároků kladených na její provoz, nebylo možné ze široké škály stávajících sběrnic vybrat takovou, která by beze zbytku splnila veškeré požadavky – proto byla na základě aplikovaného výzkumu navržena sběrnice nová. Mezi klíčové parametry nově navržené hybridní sběrnice patří:

- vyšší přenosová rychlost – 125 kb/s,
- neomezená délka přenášených datových rámců – 200 kB a více,
- napájení spotřebičů – špičkový odběr 150 mA v LPM režimu a kontinuální odběr 0,8 A ve výkonovém režimu,
- miniaturní diskretní zástavba přijímače i vysílače – do 1 cm<sup>2</sup>,
- odolnost proti rušení (stínění, ochrana EMC),

čímž byly splněny stanovené cíle disertační práce (kapitola 2.7, str. 38 a 39) ve všech bodech.

Dosud navržené stávající sběrnice nejsou schopny splnit uvedené požadavky nové skupiny aplikací, přičemž nově navržená hybridní sběrnice tyto požadavky nejenom splní, ale některé z nich i násobně překročí. Vztahy mezi uvedenými klíčovými parametry a jejich návrhovými pravidly se zabývá podstatná část disertační práce. Vztahy mezi jednotlivými parametry, součástkovou základnou budičů sběrnice, popřípadě stupněm preciznosti návrhu, jsou popsány v průběhu praktické a návrhové části disertační práce. Návrh sběrnice pracující v obou módech (výkonový, nízkopříkonový) vyžadoval po celou dobu detailní rešerši, výzkumnou část návrhu a praktické ověřování dílčích částí.

### ***Nové a původní vlastnosti předložené sběrnici jsou:***

*Nová jednovodičová hybridní sběrnice umožňuje provoz jak v nízkoodběrovém režimu (spotřeba řádově desítky mikroampérů – nižší odolnost proti rušení, nižší rychlost), tak ve výkonovém režimu (přenos proudu řádově stovky miliampérů – vysoká odolnost proti rušení,*



*vyšší rychlost). Její fyzická vrstva pracuje na základních, mikroelektronicky integrovatelných elektrických principech, čímž je umožněn mikroelektronický návrh obvodových budičů s možností miniaturní plošné zástavby. Tato sběrnice je primárně určena pro nehomogenní nesymetrická vedení krátkého dosahu a při výše uvedených provozních možnostech je schopna kontinuálního napájení připojených komunikačních modulů poměrně velkým proudem při možnosti nepřetržité vzájemné oboustranné komunikace. Sběrnice navíc disponuje protokolem zajišťujícím management provozu, časovou synchronizaci i řešení kolizního komunikačního přístupu.*

V úvodní části (kapitola 2) jsou předloženy obecné poznatky z oblasti komunikace, vymezení pojmů a popis problematiky provozu sběrnice. Jsou zde nastíněny druhy vedení a jejich podíl na eliminaci vnějších rušivých vlivů. V této části jsou rovněž popsány některé stávající sběrnice coby podkladová řešerše pro následné stanovení cílů vlastního návrhu. Jednotlivé sběrnice, blízké se některými ze svých vlastností nově navrhované, respektive požadované do nové skupiny aplikací, jsou porovnány a jsou zdůrazněny jejich nevýhody či přednosti. Závěrem úvodní části jsou specifikovány cíle disertační práce jako výchozí bod následujícího návrhu.

Další, část práce (kapitola 3) je nejprve věnována ideovému návrhu sběrnice, popisu protokolu nejnižší fyzické vrstvy, časovým poměrům a problematice stanovení jejich klíčových parametrů. V této části jsou stanovena názvosloví a popis jednotlivých částí protokolu sběrnice. Zbytek disertační práce (kapitola 4, 5) je věnován především mikroelektronickému návrhu budičů sběrnice. Nejprve jsou rozebrány obvodové bloky použité v návrzích, jsou předloženy jejich návrhy a jsou diskutovány jejich jednotlivé části. Vždy jsou rovněž zmíněny alternativy, které jsou podrobeny komparaci a následné analýze. Dále jsou zmíněny toleranční meze návrhu, jejich velikost, popřípadě jejich vliv na provozní podmínky. Praktická část popisuje návrh sběrnice ve dvou módech. Nejprve je uveden návrh sběrnice pracující v nízkopříkonovém režimu (kapitola 4.2) a poté návrh sběrnice ve výkonovém režimu (kapitola 4.3). Každý z návrhů je doložen matematickým vyjádřením všech součástí obvodu. Jako součást návrhu budičů v obou režimech je provedena simulace provozu, doložena schémata i grafy průběhů.

Sběrnice, pracující ve výkonovém režimu, je kromě mikroelektronického návrhu navíc realizována a ověřena i v diskrétní podobě. Poslední část práce (kapitola 5) se zabývá ověřením předchozích tezí a návrhů. Jsou zde předloženy průběhy reálného provozu sběrnice, které ověřují teoretické návrhy a dokládají splnění všech klíčových cílů předložené práce.

V čase předložení této práce je derivát popisované sběrnice provozován ve výrobcích etablovujících se díky českému výrobcí na evropský trh, řádově ve stovkách kusů. Tato zařízení byla podrobena souboru zkušebnou předepsaných testů s pozitivním výsledkem.

Popis protokolu sběrnice, provozních parametrů a principu byl obecný, byl tedy koncipován nikoliv pro konkrétní, ale pro libovolný obecný návrh. (Konkrétní popis stávající sběrnice nemůže být zde předložen z důvodu původnosti díla pro připravovanou patentovou ochranu.)

Jsem přesvědčen, a z praktických poznatků či zkušeností s provozem stávající sběrnice navíc i utvrzen, že nově navržená hybridní sběrnice má potenciál pro budoucí vývoj, který by mohl posunout hranice dosavadních parametrů k zajímavějším a v průmyslové oblasti významnějším hodnotám. Z toho důvodu se hodlám v budoucnu věnovat problematice jejího vývoje a posunout hodnoty klíčových parametrů výše, než jak byly stanoveny při zahájení průmyslového projektu. Součástí budoucího vývoje bude rovněž mikroelektronický návrh integrovaného obvodu budiče sběrnice s externě modifikovatelnými provozními parametry.

## Seznam použité literatury

- [1] ČTÚ. *Sbírka zákonů č. 423/2017* [online]. Český telekomunikační úřad © 2017. [cit. 02.02.2018]. Dostupné z: <https://www.ctu.cz/sites/default/files/obsah/stranky/539/soubory/narodnikmitoctovatabulka.pdf>
- [2] PETERKA, J. *Počítačové sítě verze 3.6 část I. – Principy* [online]. Katedra softwarového inženýrství, Matematicko-fyzikální fakulta, Univerzita Karlova, Praha © 2012. [cit. 05.08.2017]. Dostupné z: <https://www.earchiv.cz/1224/gifs/S3605.pdf>
- [3] Texas Instruments. *Comparing Bus Solutions* [online]. TI.com © 2017 [cit. 05.12.2017]. Dostupné z: <http://www.ti.com/lit/an/slla067c/slla067c.pdf>
- [4] NEVLUD, P; DVORSKÝ, M. *Přenos dat v komunikacích pro integrovanou výuku VUT a VŠB-TUO*. [online]. Vysoká škola báňská © 2014 [cit. 05.12.2017]. Dostupné z: <https://vut-vsb.cz/home/get-file?file=440&%3Bportal=Portal2>
- [5] KAMAL, R. *Embedded systems: architecture, programming and design*. 2nd ed. New Delhi: Tata McGraw-Hill, 2008. ISBN 0070667640.
- [6] SVOBODA, J. *Telekomunikační technika: průřezová učebnice pro odborná učiliště a střední školy*. 2. vyd. Praha: Sdělovací technika, 2000. Telekomunikace (Sdělovací technika). ISBN 80-901936-3-3.
- [7] NĚMEC, K. *Datová komunikace*. Brno: VUTIUM, 2000. ISBN 80-214-1652-1.
- [8] VLACH, J. *Řízení a vizualizace technologických procesů*. Praha: BEN - technická literatura, 1999. ISBN 80-86056-66-x.
- [9] VRBA, K; HERMAN, I; KUBÁNEK, D. *Konstrukce elektronických zařízení*; FEKT VUT v Brně: Brno, 2007.
- [10] SVAČINA, J. *Elektromagnetická kompatibilita: principy a poznámky*. Brno: Vysoké učení technické, 2001. Připojujeme se k Evropské unii. ISBN 80-214-1873-7.
- [11] SVAČINA, J. *Základy elektromagnetické kompatibility Část 2 - Zdroje rušivých signálů a vazební mechanismy jejich přenosu* [online]. Elektrotechnika © 2000. [cit. 08.11.2016]. Dostupné z: <http://www.elektrotechnika.cz/clanky/00031/index.html>
- [12] KOVÁČ, D; KOVÁČOVÁ I; KAŇUCH J. *EMC z hlediska teorie a aplikace*. Praha: BEN - technická literatura, 2006. ISBN 80-7300-202-7.
- [13] TU-Liberec KST. *Měřicí řetězec a elektromagnetické rušení* [online]. TU-Liberec KST. [cit. 02.02.2017]. Dostupné z: [www.kst.tul.cz/podklady/experimentalnimetody/prednasky/p4\\_mer\\_retezec\\_ruseni.pdf](http://www.kst.tul.cz/podklady/experimentalnimetody/prednasky/p4_mer_retezec_ruseni.pdf)
- [14] BĚŠŤÁK R. *Přenosová média (metalická vedení a vlastnosti)* [online]. ČVUT v Praze. [cit. 02.02.2017]. Dostupné z: [http://fastdl.crew.sk/fastdl\\_972/Skola/ELM/ELM4ro%c4%8dn%c3%ad%20adkvika/POS/Meranie%20vlastnost%c3%ad%20prenosovej%20cesty/Prenosov%c3%a9%20m%c3%a9dia%20-%20metalick%c3%a9%20vedenia.pdf](http://fastdl.crew.sk/fastdl_972/Skola/ELM/ELM4ro%c4%8dn%c3%ad%20adkvika/POS/Meranie%20vlastnost%c3%ad%20prenosovej%20cesty/Prenosov%c3%a9%20m%c3%a9dia%20-%20metalick%c3%a9%20vedenia.pdf)
- [15] LINKE, B. *Overview of I-Wire Technology and Its Use* [online]. Maxim Integrated © 2000. [cit. 02.02.2017]. Dostupné z: <https://pdfserv.maximintegrated.com/en/an/AN1796.pdf>

- [16] Maxim Integrated. *DS1822 Econo 1-Wire Digital Thermometer – datasheet* [online]. Maxim Integrated. [cit. 02.02.2017]. Dostupné z: <https://datasheets.maximintegrated.com/en/ds/DS1822.pdf>
- [17] HRBÁČEK, J. *Komunikace mikrokontroléru s okolím*. Praha: BEN - technická literatura, 1999. ISBN 80-86056-42-2.
- [18] Microchip. *MCP2551 – High-speed CAN Transceiver* [online]. Microchip. [cit. 27.07.2017]. Dostupné z: <https://www.microchip.com/wwwproducts/en/MCP2551>
- [19] Microchip. *ANN228 - A CAN Physical Layer Discussion* [online]. Microchip. [cit. 27.07.2017]. Dostupné z: <http://ww1.microchip.com/downloads/en/AppNotes/00228a.pdf>
- [20] VLACH, J. *Počítačová rozhraní: přenos dat a řídicí systémy*. 2. rozš. vyd. Praha: BEN - technická literatura, 2000. ISBN 80-7300-010-5.
- [21] PARET, D. *Multiplexed networks for embedded systems: CAN, LIN, flexray, safe-by-wire...* Hoboken: John Wiley, 2007. ISBN 978-0-470-.
- [22] Integrated Device Technology. *ASI4U - AS-Interface Spec. V3.0 Compliant Universal AS-i IC*. [online]. IDT © 2016. [cit. 27.07.2017]. Dostupné z: <https://www.idt.com/products/interface-connectivity/interface-products/asi4u-interface-spec-v30-compliant-universal-i-ic>
- [23] KLOS, O. *Co je systém AS-INTERFACE* [online]. www.mmspektrum.com © 2007. [cit. 27.07.2017]. Dostupné z: <https://www.mmspektrum.com/clanek/co-je-system-as-interface.html>
- [24] Bihl+Wiedemann. *Safety Technology*. [online]. www.bihl-wiedemann.de. [cit. 02.02.2018]. Dostupné z: <https://www.bihl-wiedemann.de/en/applications/safety-technology.html>
- [25] Groups.uni-paderborn.de. *About M-BUS* [online]. MarDirect Marketing Direct GbR. [cit. 27.07.2017]. Dostupné z: <http://groups.uni-paderborn.de/m-bus/info/prologue.php>
- [26] Texas Instruments. *Meter-Bus Transceiver-datasheet* [online]. TI.com © 2010. [cit. 02.02.2018]. Dostupné z: <http://www.ti.com/lit/ds/symlink/tss721a.pdf>
- [27] M-Bus Documentation. *M-Bus* [online]. MarDirect Marketing Direct GbR. [cit. 27.07.2017]. Dostupné z: <http://www.m-bus.com/mbusdoc/md4.php>
- [28] MyBoiler.com. *What is OpenTherm?* [online]. MyBoiler Ltd. [cit. 30.07.2018]. Dostupné z: <https://uk.myboiler.com/what-is-opentherm/>
- [29] The OpenTherm Association. *The OpenTherm Communications Protocol* [online]. Copyright © 2003. [cit. 27.07.2017]. Dostupné z: <https://www.domoticaforum.eu/uploaded/Ard%20M/OpenTherm%20Protocol%20v2-2.pdf>
- [30] eBUS Interest Group. *eBus Specifications, Physical Layer – OSI 1, Data-Link Layer – OSI 2, V.1.3.1*. [online]. Copyright © 2007. [cit. 02.02.2018]. Dostupné z: [http://ebus-wiki.org/lib/exe/fetch.php/ebus/spec\\_prot\\_12\\_v1\\_3\\_1\\_e.pdf](http://ebus-wiki.org/lib/exe/fetch.php/ebus/spec_prot_12_v1_3_1_e.pdf)
- [31] Wikipedia. *EBUS (serial buses)* [online]. Wikipedia. [cit. 27.07.2017]. Dostupné z: [https://en.wikipedia.org/wiki/EBUS\\_\(serial\\_buses\)](https://en.wikipedia.org/wiki/EBUS_(serial_buses))
- [32] DUNGS® Combustion Controls. *A success story* [online]. Karl Dungs GmbH & Co. KG. [cit. 27.07.2017]. Dostupné z: <https://www.dungs.com/en/company/history/>

- [33] National Instruments. *Fundamentals, System Design, and Setup for the 4 to 20 mA Current Loop* [online]. Copyright © 2017. [cit. 02.02.2018]. Dostupné z: <http://www.ni.com/white-paper/6940/en/>
- [34] Texas Instruments. *XTR117 4-20mA Current-Loop Transmitter-datasheet* [online]. Burr-Brown Products from Texas Instruments © 2012. [cit. 02.02.2018]. Dostupné z: <http://www.ti.com/lit/ds/symlink/xtr117.pdf>
- [35] MLČÁK, T. *Systémová technika budov, Elektrická zařízení a rozvody v budovách* [online]. www.fei.vsb.cz. [cit. 15.07.2017]. Dostupné z: [http://homel.vsb.cz/~mlc37/EZRB/Prednasky/10\\_Systemova\\_technika\\_budov.pdf](http://homel.vsb.cz/~mlc37/EZRB/Prednasky/10_Systemova_technika_budov.pdf)
- [36] Analog Devices. *AD694 4-20mA Transmitter-datasheet* [online]. Analog Devices © 2002. [cit. 15.07.2017]. Dostupné z: <http://www.analog.com/media/en/technical-documentation/data-sheets/AD694.pdf>
- [37] Maxim Integrated. *MAX14626 High-Voltage Reverse-Input-Capable 4-20mA Current Loop Protector - datasheet* [online]. Maxim Integrated © 2012. [cit. 15.07.2017]. Dostupné z: <https://datasheets.maximintegrated.com/en/ds/MAX14626.pdf>
- [38] B+B SmartWorks. *RSS-422 and RS-485 Applications eBook, A Practical Guide to Using RS-422 and RS-485 Serial Interfaces, v. 1.0* [online]. Copyright ©2010. [cit. 15.07.2017]. Dostupné z: <https://www.bb-elec.com/Learning-Center/All-White-Papers/Serial/RS-422-and-RS-485-Applications-eBook/RS422-RS485-Application-Guide-Ebook.pdf>
- [39] FILKA, M. *Transmission media*. Brno: M. Filka, 2009. ISBN 978-80-86785-15-8.
- [40] JANSEN, H; RÖTTER, H. *Informační a telekomunikační technika*. Praha: Europa - Sobotáles, 2004. ISBN 80-86706-08-7.
- [41] KAI, H. *Interrupts vs. Polling* [online]. Technische Universität München © 2015. [cit. 02.08.2017]. Dostupné z: <https://pdfs.semanticscholar.org/presentation/c699/a87eea927f1034fafb217556eabc08350998.pdf>
- [42] BIRD, J. *Electrical circuit theory and technology*. 2nd ed. Oxford: Newnes, 2001. ISBN 0750649895.
- [43] LÁNÍČEK, R. *Elektronika: obvody, součástky, děje*. Praha: BEN - technická literatura, 1998. ISBN 80-86056-25-2.
- [44] ASHOK K. Singal. *The Paradox of Two Charged Capacitors – A New Perspective* [online]. Cornell University © 2015. [cit. 15.07.2017]. Dostupné z: <https://arxiv.org/pdf/1309.5034.pdf>
- [45] Linear Technology. *LTC4352 Low Voltage Ideal Diode Controller with Monitoring* [online]. Linear Technology. [cit. 06.07.2017]. Dostupné z: <http://www.analog.com/media/en/technical-documentation/data-sheets/4352fa.pdf>
- [46] Maxim Integrated. *MAX40200 Ultra-Tiny Micropower, 1A Ideal Diode with Ultra-Low Voltage Drop-datasheet* [online]. Copyright © 2017. [cit. 02.04.2018]. Dostupné z: <https://datasheets.maximintegrated.com/en/ds/MAX40200.pdf>
- [47] JOHNS, D; MARTIN W, K. *Analog integrated circuit design*. New York: John Wiley, c1997. ISBN 0-471-14448-7.
- [48] HASELOFF, E. *Bus-Hold Circuit, Standard Linear & Logic* [online]. Texas Instruments ©2001. [cit. 05.12.2017]. Dostupné z: <http://www.ti.com/lit/an/slla067c/slla067c.pdf>

- [49] WESTE, N. H. E; HARRIS, D. M. *CMOS VLSI design: a circuits and systems perspective*. 4th ed. Boston: Addison Wesley, c2011. ISBN 0-321-54774-8.
- [50] TOUMAZOU, C; LIDGEY F. J.; HAIGH D. *Analogue IC design: the current-mode approach*. London: The Institution of Electrical Engineers, [2008]. ISBN 0863412971.
- [51] VANÍČEK, F. *Elektronické součástky: principy, vlastnosti, modely*. Vyd. 2. Praha: Vydavatelství ČVUT, 2004. ISBN 80-01-03112-8.
- [52] SUCHÁNEK, V. *Dioda, tranzistor a tyristor názorně: programovaný kurs*. 4., upravené vyd. Praha: SNTL, 1979. ISBN 80-030-0115-3.
- [53] ROHM Semiconductor. *BCX19HZG – NPN small signal transistor - datasheet* [online]. ROHM Semiconductor © 2016. [cit. 10.06.2018]. Dostupné z: <https://www.rohm.com.tw/datasheet/BCX19HZG/bcx19hzg-e>
- [54] SAMEK, M. *Embedded MCU, Use an MCU's low-power modes in foreground/background* [online]. Quantum Leaps, LLC © 2007. [cit. 23.06.2018]. Dostupné z: <https://www.state-machine.com/doc/Samek0710.pdf>
- [55] Vishay Siliconix. *Power MOSFET Basics: Understanding Gate Charge and Using it to Assess Switching Performance* [online]. Copyright © 2016. [cit. 06.07.2017]. Dostupné z: <https://www.vishay.com/docs/73217/an608a.pdf>
- [56] STENGL, J. P; TIHANYI, J. *Leistungs-MOS-FET-Praxis*. 2., neu bearb. Aufl. München: Pflaum, 1992. ISBN 3790506192.
- [57] Energizer Holdings, Inc. *Energizer CR2032 Lithium Coin – datasheet* [online]. Energizer Holdings, Inc. [cit. 02.03.2016]. Dostupné z: <http://data.energizer.com/pdfs/cr2032.pdf>

## Seznam použitých zkratk

### Obecné

1-Wire	<i>One Wire</i>	Jednovodičová sběrnice
QAM	<i>Quadrature Amplitude Modulation</i>	Kvadrurní amplitudová modulace
OFDM	<i>Orthogonal Frequency Division Multiplexing</i>	Ortgonální multiplex s frekvenčním dělením
EMC	<i>Electro Magnetic Compatibility</i>	Elektromagnetická kompatibilita
ESD	<i>Electro Static Discharge</i>	Elektrostatické výboje
EMI	<i>Electro Magnetic Interference</i>	Elektromagnetická interference
RS-232	<i>Recommended Standard 232</i>	Sériová linka pro komunikaci s počítačem
I2C	<i>Inter-Integrated Circuit</i>	Dvouvodičová sběrnice
SPI	<i>Serial Peripheral Interface</i>	Sériová komunikační sběrnice
LAN	<i>Local Area Network</i>	Místní síť
USB	<i>Universal Serial Bus</i>	Univerzální sériová sběrnice pro komunikaci s počítačem
TCP/IP	<i>Transmission Control Protocol/Internet Protocol</i>	Primární přenosový protokol síťové vrstvy
UDP	<i>User Datagram Protocol</i>	Nezajištěný protokol internetu
CAN	<i>Controller Area Network</i>	Komunikační sběrnice pro automobilový průmysl
AS-i	<i>Actuator/Sensor Interface</i>	Sběrnice pro komunikaci se snímači
UART	<i>Universal Asynchronous Receiver and Transmitter</i>	Sériová asynchronní komunikační sběrnice
M-BUS	<i>Meter Bus</i>	Sběrnice pro komunikaci s měřicími zařízeními
eBUS	<i>Energy Bus</i>	Sběrnice pro komunikaci s tepelnými měřiči
RS-485	<i>Recommended Standard 232</i>	Sériová sběrnice pro použití v průmyslu
MOSFET	<i>Metal Oxide Semiconductor Field Effect transistor</i>	Unipolární tranzistor
LP	<i>Low Power</i>	Nízký příkon
LPM	<i>Low Power Mode</i>	Režim nízkého příkonu
HP	<i>High Power;</i>	Vysoký příkon
CMOS	<i>Complementary Metal Oxide Transistor</i>	Komplementární unipolární tranzistory
DC	<i>Direct Current</i>	Stejnoseměrný proud
IO	<i>Input – Output</i>	Vstup – výstup
LPO	<i>Low Power Oscillator</i>	Nízkopříkonový oscilátor
RTC	<i>Real Time Clock</i>	Hodiny reálného času
MCU	<i>Microcontroller</i>	Mikrokontrolér
ST	<i>Schmitt Trigger</i>	Úprava vstupního signálu (na digitální signál)
NOR	<i>Negative OR</i>	Logický obvod – negace logického součtu
ADC	<i>Analog to Digital Converter</i>	Převodník analogové úrovně na digitální
GND	<i>Ground</i>	Uzemňovací – nulový potenciál

### Protokol hybridní sběrnice

CDEL	<i>Communication Delay</i>	Komunikační prodleva
TS	<i>Termination Sequence</i>	Ukončení rámce
DP	<i>Data Processing</i>	Zpracování přenosu
CFRM	<i>Communication Framework</i>	Komunikační rámec
DHDR	<i>Frame Data Header</i>	Datové záhlaví rámce
MC	<i>Master Calibrates</i>	Kalibrace časové základny
MA	<i>Master Asks</i>	Dotaz
MD	<i>Master Directs</i>	Příkaz směru komunikace
DTMS	<i>Frame Data Transmission</i>	Datový přenos rámce
DH	<i>Data Header</i>	Datové záhlaví
DT	<i>Data Transfer</i>	Datový přenos
DS	<i>Data Security</i>	Zabezpečení
BB	<i>Bit Block</i>	Bitový blok
IB	<i>Information Block</i>	Informační blok
BS	<i>Bit Synchronization</i>	Bitová synchronizace
IE	<i>Interrupt Edge</i>	Hrana přerušení
ID	<i>Interrupt Delay</i>	Synchronizace sběrnice
IT	<i>Information Transmission</i>	Přenos informace
TNS	<i>Transitional State</i>	Přechod sběrnice
SI	<i>Sample Interval</i>	Vzorkovací interval
TBS	<i>Bit Termination Sequence</i>	Ukončovací sekvence bitu
PB	<i>Power Block</i>	Napájecí blok
CC	<i>Charging The Capacitor</i>	Nabíjení kapacitoru
TX	<i>Transmitter</i>	Vysílač
RX	<i>Receiver</i>	Přijímač

### Obvody budiče hybridní sběrnice

TL	<i>Top Level</i>	Proudový omezovač napájecího napětí modulu master
LL	<i>Low Level</i>	Proudový omezovač dolní úrovně sběrnice v modulu master
HL	<i>Hard Level</i>	Proudový omezovač dolní úrovně sběrnice v modulu slave
SL	<i>Soft Level</i>	Proudový omezovač horní úrovně v modulu master
RL	<i>Retainer Level</i>	Proudový omezovač upínající sběrnici k požadované úrovni v modulu slave

### Signálové vodiče v budičích

PW	<i>Power</i>	Signál spínající HL
DIN	<i>Data Input</i>	Vstupní signál ze sběrnice
ML	<i>Master Low</i>	Signál připínající sběrnici do nízké úrovně
SL	<i>Slave Low</i>	Signál připínající sběrnici do nízké úrovně



## Seznam použitých symbolů

### Obecné symboly

$\lambda$	Vlnová délka [m] ( <i>metr</i> )
$c$	Rychlost šíření světla $c = 299\,792\,458\text{ ms}^{-1}$ ( <i>metr za sekundu</i> )
$f$	Frekvence [Hz] ( <i>Herz</i> )
$\Phi$	Magnetický indukční tok [Wb] ( <i>Weber</i> )
$L$	Indukčnost [H] ( <i>Henry</i> )
$I$	Elektrický proud [A] ( <i>Amper</i> )
$U$	Elektrické napětí [V] ( <i>Volt</i> )
$M$	Vzájemná indukčnost [H] ( <i>Henry</i> )
$C$	Elektrická kapacita [F] ( <i>Farad</i> )
$\varepsilon$	Permitivita [F/m] ( <i>Farad na metr</i> )
$S$	Plocha [m <sup>2</sup> ] ( <i>metr čtvereční</i> )
$d$	Délka [m] ( <i>metr</i> )
$Q$	Elektrický náboj [C] ( <i>Coulomb</i> )
$R$	Elektrický odpor [ $\Omega$ ] ( <i>Ohm</i> )
$G$	Elektrická vodivost [S] ( <i>Siemens</i> )
$Z$	Elektrická impedance [ $\Omega$ ] ( <i>Ohm</i> )
$e$	Eulerovo číslo – základ přirozených logaritmů
$W$	Elektrická práce [J] ( <i>Joule</i> )
$P$	Elektrický výkon [W] ( <i>Watt</i> )
$K_P$	Technologická konstanta tranzistoru MOSFET
$K_{PP}$	Technologická konstanta tranzistoru MOSFET – P kanál
$K_{PN}$	Technologická konstanta tranzistoru MOSFET – N kanál
$W$	Šířka vodivého kanálu tranzistoru MOSFET ( <i>width</i> )
$L$	Délka vodivého kanálu tranzistoru MOSFET ( <i>length</i> )
$h_{21e}$	Proudový zesilovací činitel bipolárního tranzistoru
$\tau$	Časová konstanta [s]

### Specifické symboly

Bd	Jednotka modulační rychlosti ( <i>Baud</i> )
b/s	Jednotka přenosového výkonu ( <i>bit za sekundu</i> )
$Hm^{-1}$	Jednotka měrné indukčnosti ( <i>Henry na metr</i> )
$Cm^{-1}$	Jednotka měrné kapacity ( <i>Farad na metr</i> )
$Rm^{-1}$	Jednotka měrného odporu ( <i>Ohm na metr</i> )
$Gm^{-1}$	Jednotka měrné vodivosti ( <i>Siemens na metr</i> )
$U_F$	Napětí v propustném směru PN přechodu ( <i>Forward Voltage</i> )
$I_F$	Proud v propustném směru PN přechodu ( <i>Forward Current</i> )
$t_{rr}$	Doba zotavení diody ( <i>Reverse Recovery</i> )
$I_D$	Proud protékající výstupem MOSFET tranzistoru ( <i>Drain Current</i> )

$V_{GS}$	Vstupní napětí tranzistoru MOSFET ( <i>Gate – Source Voltage</i> )
$V_{DS}$	Výstupní napětí tranzistoru MOSFET ( <i>Drain – Source Voltage</i> )
$V_{T0}$	Počáteční hodnota vstupního napětí MOSFET tranzistoru ( <i>Threshold Voltage</i> )
$I_C$	Proud protékající výstupem bipolárního tranzistoru ( <i>Collector Current</i> )
$U_{BE}$	Vstupní napětí bipolárního tranzistoru ( <i>Base – Emitter Voltage</i> )
$U_{CE}$	Výstupní napětí bipolárního tranzistoru ( <i>Collector – Emitter Voltage</i> )
$U_{REF}$	Referenční napětí ( <i>Reference Voltage</i> )
$R_E$	Vstupní odpor bipolárního tranzistoru ( <i>Emitter Resistance</i> )
$U_{bus}$	Napětí na vedení sběrnice
$C_{bus}$	Kapacita vedení sběrnice
$R_{bus}$	Odpor vedení sběrnice
$R_G$	Vstupní sériový odpor unipolárních tranzistorů ( <i>Gate resistance</i> )
$t_{ON}$	Doba sepnutí
$t_{OFF}$	Doba rozepnutí
$Q_q$	Náboj nutný k sepnutí tranzistoru MOSFET
$V_{IL}$	Maximální napěťová úroveň vstupního digitálního signálu nízké úrovně
$V_{IH}$	Minimální napěťová úroveň vstupního digitálního signálu vysoké úrovně
$U_{CC}$	Napájecí napětí analogového obvodu
$U_{DD}$	Napájecí napětí digitálního obvodu

#### **Symbolsy protokolu sběrnice**

$t_{TS}$	Doba ukončení komunikace ( <i>Termination Sequence</i> )
$t_{BB}$	Doba přenosu jednoho bitu ( <i>Bit Block</i> )
$t_{IB}$	Doba přenosu informačního bloku ( <i>Information Block</i> )
$t_{IT}$	Doba přenosu informace jednoho bitu ( <i>Information Transmission</i> )
$t_{IE}$	Doba trvání poklesu hrany pro přerušení sběrnice ( <i>Interrupt Edge</i> )
$t_{ID}$	Doba synchronizace při přerušení sběrnice ( <i>Interrupt Delay</i> )
$t_{if}$	Doba poklesu hrany pro přerušení sběrnice ( <i>Interrupt Fallinge</i> )
$t_{i0}$	Čas zahájení poklesu hrany sběrnice ( <i>Interrupt</i> )
$t_{d0}$	Doba reakce na pokles hrany sběrnice ( <i>Delay</i> )
$t_{dr}$	Doba reakce na pokles hrany sběrnice ( <i>Delay</i> )
$t_{TNS}$	Náběžná hrana přenosu informace ( <i>Transitional State</i> )
$t_{TBS}$	Náběžná hrana přenosu informace ( <i>Bit Termination Sequence</i> )
$t_{SI}$	Start vzorkování sběrnice ( <i>Sampling Interval</i> )
$t_{SLOff}$	Prodleva před odpojením sběrnice ( <i>Slave, OFF</i> )
$t_{MC}$	Doba přenosu informačního bloku ( <i>Master Calibrates</i> )